PHILIPS 单片 16/32 位微控制器－LPC2210/2220

1. 概述 3

2. 特性 3

2.1 主要特性 3

3. 订购信息 3

3.1 订购选项 4

4. 功能框图 4

5. 管脚信息 5

5.1 管脚配置 5
5.2 管脚描述 7

6. 功能描述 14

6.1 结构概述 14
6.2 片内静态 RAM 14
6.3 存储器映射 14
6.4 中断控制器 15
6.4.1 中断源 15
6.5 管脚连接模块 16
6.6 管脚功能选择寄存器 0（PINSEL0 – 0xE002C000） 17
6.7 管脚功能选择寄存器 1（PINSEL1 – 0xE002C004） 18
6.8 管脚功能选择寄存器 2（PINSEL2 – 0xE002C014） 20
6.9 外部存储器控制器 21
6.10 通用并行 I/O 口 21
6.10.1 特性 22
6.11 10 位 A/D 转换器 22
6.11.1 特性 22
6.12 UART 22
6.12.1 特性 22
6.13 I^2C 总线串行 I/O 控制器 22
6.13.1 特性 22
6.14 SPI 接口 23
6.14.1 特性 23
6.15 SSP 控制器 23
6.15.1 特性 23
6.15.2 描述 23
6.16 通用定时器 23
6.16.1 特性 24
6.17 看门狗定时器 24

6.17.1 特性.....*24*
6.18 实时时钟.....24
6.18.1 特性.....*24*
6.19 脉宽调制器(PWM).....25
6.19.1 特性.....*25*
6.20 系统控制.....25
6.20.1 晶振.....*25*
6.20.2 PLL.....*26*
6.20.3 复位和唤醒定时器.....*26*
6.20.4 外部中断输入.....*26*
6.20.5 存储器映射控制.....*26*
6.20.6 功率控制.....*26*
6.20.7 VPB 总线.....*27*
6.21 仿真和调试.....27
6.21.1 Embedded ICE.....*27*
6.21.2 嵌入式跟踪.....*27*
6.21.3 RealMonitor.....*27*
7. 极限参数.....**28**
8. 静态特性.....**28**
9. 动态特性.....**32**
9.1 时序.....34
9.2 LPC2210 功耗测量.....35
10. 封装.....**38**
11. 缩写词.....**40**
12. 修改记录.....**40**

1. 概述

LPC2210/2220 微控制器是基于一个支持实时仿真和嵌入跟踪的 32/16 位 ARM7TDMI-S CPU。对代码规模有严格控制的应用可使用 16 位 Thumb 模式将代码规模降低超过 30%，而性能的损失却很小。

由于 LPC2210/2220 的 144 脚封装、极低的功耗、多个 32 位定时器、8 路 10 位 ADC、PWM 输出以及多达 9 个外部中断管脚使它们特别适用于工业控制、医疗系统、访问控制和电子收款机（POS）。通过配置总线，LPC2210/2220 最多可提供 76 个 GPIO。由于内置了宽范围的串行通信接口，LPC2210/2220 也非常适合于通信网关、协议转换器、嵌入式软件调制解调器以及其它各种类型的应用。

2. 特性

2.1 主要特性

- 16/32 位 ARM7TDMI-S 微控制器，LQFP144 和 TFBGA144 封装。
- 16 /64 kB 片内静态 RAM（LPC2210/2220）。
- 串行 boot 装载程序通过 UART0 来实现在系统下载和编程。
- EmbeddedICE-RT 和嵌入式跟踪接口使用片内 RealMonitor 软件对任务进行实时调试并支持对执行代码进行无干扰的高速实时跟踪。
- 8 路 10 位 A/D 转换器，转换时间低至 2.44μs。
- 2 个 32 位定时器（LPC2220 也具有外部事件计数器）带 4 路捕获和 4 路比较通道、PWM 单元（6 路输出）、实时时钟（RTC）和看门狗。
- 多个串行接口，包括 2 个 16C550 工业标准 UART、高速 I^2C 总线（400 kbit/s）和 2 个 SPI 接口。在 LPC2220 上，可选择带有数据缓冲区和可变长度传输的同步串行口（SSP）来代替一个 SPI。
- 向量中断控制器(VIC)，可配置优先级和向量地址。
- 通过外部存储器接口可将存储器配置成 4 组，每组的容量高达 16Mb，数据宽度为 8/16/32 位。
- 多达 76 个通用 I/O 口（可承受 5V 电压）。可使用 9 个边沿或电平触发的外部中断管脚。
- 通过可编程的片内锁相环（PLL）可实现最大为 60/75 MHz（LPC2210/2220）的 CPU 操作频率，设置时间为 100us。
- 带外部晶体的片内振荡器频率范围：1～30 MHz，外部振荡器的频率高达 50MHz。
- 2 个低功耗模式：空闲和掉电。
- 通过外部中断将处理器从掉电模式中唤醒。
- 可通过个别使能/禁止外部功能来优化功耗。
- 双电源
  - CPU 操作电压范围：1.65V～1.95 V(1.8 V± 0.15 V)
  - I/O 操作电压范围：3.0～3.6 V(3.3 V± 10%)，I/O 口可承受 5V 电压。16/32 位 ARM7TDMI-S 处理器。

3. 订购信息

表 1 订购信息

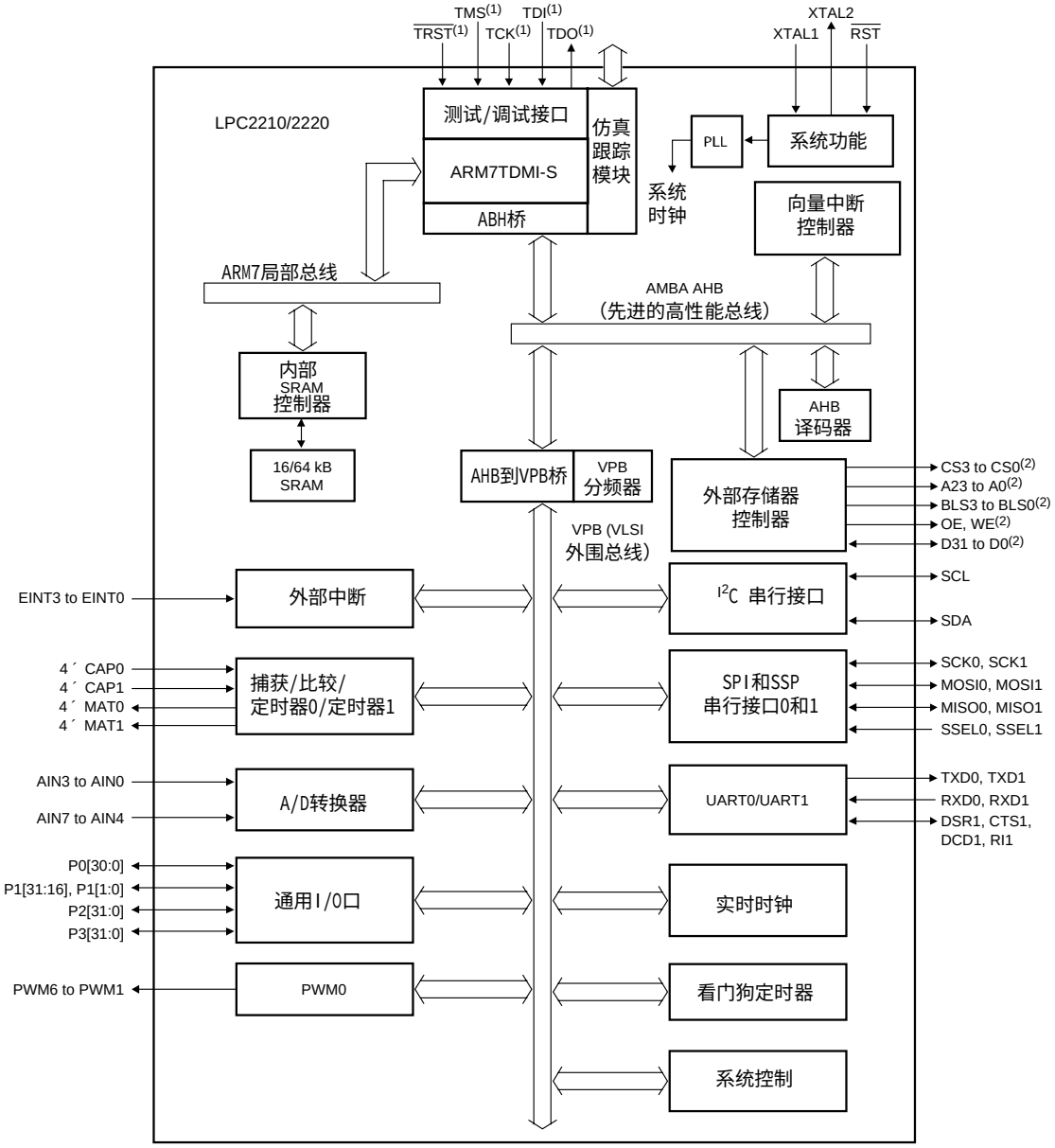
产品编号	封装		
	名称	描述	版本
LPC2210 FBD144	LQFP144	144 脚，本体 20×20×1.4mm	SOT486-1
LPC2220 FBD144	LQFP144	144 脚，本体 20×20×1.4mm	SOT486-1
LPC2220 FET144	TFBGA144	144 脚，本体 12×12×0.8mm	SOT569-1

3.1 订购选项

表 2 订购选项

器件型号	FLASH 存储器	RAM	CAN	温度范围(℃)
LPC2210 FBD144	-	16 kB	-	-40～+85
LPC2220 FBD144	-	64kB	-	-40～+85
LPC2220 FET144	-	64kB	-	-40～+85

4. 功能框图



(1) 当用作测试/调试接口时，GPIO/其它共用这些管脚的功能不可用。

(2) 与 GPIO 共用。

图 1 功能框图

5. 管脚信息

5.1 管脚配置

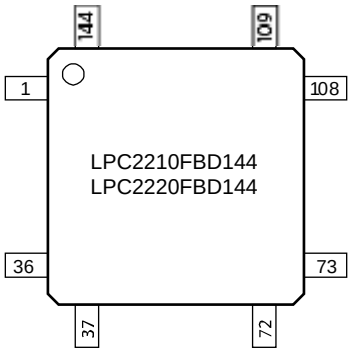
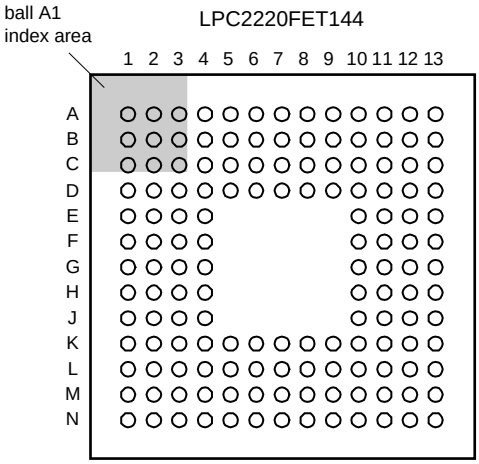


图 2 LQFP144 管脚配置



顶视图

图 3 TFBGA144 管脚配置框图

表 3 管脚分配

行 列													
	1	2	3	4	5	6	7	8	9	10	11	12	13
A	P2.22 / D22	V_{DDA} (1V8)	P1.28/ TD1	P2.21/ D21	P2.18/ D18	P2.14 / D14	P1.29/ TCK	P2.11/ D11	P2.10/ D10	P2.7/ D7	V_{DD} (3V3)	V_{DD} (1V8)	P2.4/D4
B	V_{DD} (3V3)	P1.27/ TDO	XTAL2	V_{SSA} (PLL)	P2.19/ D19	P2.15 /D15	P2.12/ D12	P0.20/ MAT1.3/SSEL1/EINT3	V_{DD} (3V3)	P2.6/D6	V_{SS}	P2.3/ D3	V_{SS}
C	P0.21 /PWM5/CAP1.3	V_{SS}	XTAL1	V_{SSA}	$\overline{\text{RESET}}$	P2.16 /D16	P2.13/ D13	P0.19/ MAT1.2/MOSI1/CAP1.2	P2.9/D9	P2.5/D5	P2.2/D2	P2.1/ D1	V_{DD} (3V3)
D	P0.24	P1.19/TRACEP/KT3	P0.23	P0.22/ CAP0.0/MAT0.0	P2.20/ D20	P2.17 /D17	V_{SS}	P0.18/CAP1.3/ MISO1/ MAT1.3	P2.8/D8	P1.30/TMS	V_{SS}	P1.20/TRACESYNC	P0.17/CAP1.2/ SCK1/ MAT1.2
E	P2.25 /D25	P2.24/D24	P2.23	V_{SS}						P0.16/EINT0/MAT0.2/ CAP0.2	P0.15/RI1/EINT2	P2.0/ D0	P3.30/BLS1
F	P2.27 /D27/ BOOT1	P1.18/TRACEPKT2	V_{DD} (3V3)	P2.26/ D26/BOOT0						P3.31/BLS0	P1.21/PIPESTAT0	V_{DD} (3V3)	V_{SS}
G	P2.29 /D29	P2.28/D28	P2.30/ D30/ AIN4	P2.31/ D31/AIN5						P0.14/DCD1/EINT1	P1.0/CS0	V_{SS}	P1.1/OE
H	P0.25	n.c.	P0.27/ AIN0/ CAP0.1/MAT0.1	P1.17/ TRACEPKT1						P0.13/DTR1/MAT1.1	P1.22/PIPESTAT1	P3.2/ A2	P3.1/A1
J	P0.28 /AIN1/CAP0.2/ MAT0.2	V_{SS}	P3.29/ BLS2/ AIN6	P3.28/ BLS3/ AIN7						P3.3/A3	P1.23/PIPESTAT2	P0.11/CTS1/CAP1.1	P0.12/DSR1/MAT1.0

续上表

行 列													
	1	2	3	4	5	6	7	8	9	10	11	12	13
K	P3.27/WE	P3.26/CS1	V_{DD} (3V3)	P3.22/A22	P3.20/A20	P0.1/RXD0/PWM3/EINT0	P3.14/A14	P1.25/EXTIN0	P3.11/A11	V_{DD} (3V3)	P0.10/RTS1/CAP1.0	V_{SS}	P3.4/A4
L	P0.29/AIN2/CAP0.3/MAT0.3	P0.30/AIN3/EINT3/CAP0.0	P1.16/TRACEPKT0	P0.0/TXD0/PWM1	P3.19/A19	P0.2/SCL/CAP0.0	P3.15/A15	P0.4/SCK0/CAP0.1	P3.12/A12	V_{SS}	P1.24/TRACECLK	P0.8/TXD1/PWM4	P0.9/RXD1/PWM6/EINT3
M	P3.25/CS2	P3.24/CS3	V_{DD} (3V3)	P1.31/$\overline{\text{TRST}}$	P3.18/A18	V_{DD} (3V3)	P3.16/A16	P0.3/SDA/MAT0.0/EINT1	P3.13/A13	P3.9/A9	P0.7/SSEL0/PWM2/EINT2	P3.7/A7	P3.5/A5
N	V_{DD} (1V8)	V_{SS}	P3.23/A23/XCLK	P3.21/A21	P3.17/A17	P1.26/RTCK	V_{SS}	V_{DD} (3V3)	P0.5/MISO0/MAT0.1	P3.10/A10	P0.6/MOSI0/CAP0.2	P3.8/A8	P3.6/A6

5.2 管脚描述

表 4 管脚描述

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P0.0~P0.31			I/O	**P0 口**：P0 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。P0 口管脚的操作取决于管脚连接模块所选择的功能。P0 口的 P0.26 和 P0.31 不可用。
P0.0/TXD0/PWM1	42[1]	L4[1]	O O	**TxD0**－UART0 的发送器输出 **PWM1**－脉宽调制器输出 1
P0.1/RXD0/PWM3/EINT0	49[2]	K6[2]	I O I	**RxD0**－UART0 的接收器输入 **PWM3**－脉宽调制器输出 3 **EINT0**－外部中断 0 输入
P0.2/SCL/CAP0.0	50[3]	L6[3]	I/O I	**SCL**－I^2C 时钟输入/输出。开漏输出(符合 I^2C 规范) **CAP0.0**－定时器 0 捕获输入 0
P0.3/SDA/MAT0.0/EINT1	58[3]	M8[3]	I/O O I	**SDA**－I^2C 数据输入/输出。开漏输出(符合 I^2C 规范) **MAT0.0**－定时器 0 匹配输出 0 **EINT1**－外部中断 1 输入
P0.4/SCK0/CAP0.1	59[1]	L8[1]	I/O I	**SCK0**－SPI0 串行时钟，主机输出或从机输入的时钟 **CAP0.1**－定时器 0 捕获输入 1

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P0.5/MISO0/MAT0.1	61[1]	N9[1]	I/O O	**MISO0**－SPI0 主机输入/从机输出，从机到主机的数据传输 **MAT0.1**－定时器 0 匹配输出 1
P0.6/MOSI0/CAP0.2	68[1]	N11[1]	I/O I	**MOSI0**－SPI0 主机输出/从机输入，主机到从机的数据传输 **CAP0.2**－定时器 0 捕获输入 2
P0.7/SSEL0/PWM2/EINT2	69[2]	M11[2]	I O I	**SSEL0**－SPI0 从机选择。选择 SPI 接口用作从机。 **PWM2**－脉宽调制器输出 2 **EINT2**－外部中断 2 输入
P0.8/TXD1/PWM4	75[1]	L12[1]	O O	**TxD1**－UART1 的发送器输出 **PWM4**－脉宽调制器输出 4
P0.9/RXD1/PWM6/EINT3	76[2]	L13[2]	I O I	**RxD1**－UART1 的接收器输入 **PWM6**－脉宽调制器输出 6 **EINT3**－外部中断 3 输入
P0.10/RTS1/CAP1.0	78[1]	K11[1]	O I	**RTS1**－UART1 请求发送输出 **CAP1.0**－定时器 1 捕获输入 0
P0.11/CTS1/CAP1.1	83[1]	J12[1]	I I	**CTS1**－UART1 的清零发送输入 **CAP1.1**－定时器 1 捕获输入 1
P0.12/DSR1/MAT1.0	84[1]	J13[1]	I O	**DSR1**－UART1 的数据设置就绪输入 **MAT1.0**－定时器 1 匹配输出 0
P0.13/DTR1/MAT1.1	85[1]	H10[1]	O O	**DTR1**－UART1 的数据终端就绪输出 **MAT1.1**－定时器 1 匹配输出 1
P0.14/DCD1/EINT1	92[2]	G10[2]	I I	**DCD1**－UART1 数据载波检测输入 **EINT1**－外部中断 1 输入 注：当 $\overline{\text{RESET}}$ 为低时，该管脚上的低电平强制复位后由引导装载程序控制器件的操作。
P0.15/R11/EINT2	99[2]	E11[2]	I I	**RI1**－UART1 铃声指示输入 **EINT2**－外部中断 2 输入
P0.16/EINT0/MAT0.2/CAP0.2	100[2]	E10[2]	I O I	**EINT0**－外部中断 0 输入 **MAT0.2**－定时器 0 匹配输出 2 **CAP0.2**－定时器 0 捕获输入 2
P0.17/CAP1.2/SCK1/MAT1.2	101[1]	D13[1]	I I/O O	**CAP1.2**－定时器 1 捕获输入 2 **SCK1**－SPI1/SSI/Microwire 串行时钟，主机输出或从机输入的 SPI1/SSI/Microwire 时钟 **MAT1.2**－定时器 1 匹配输出 2
P0.18/CAP1.3/MISO1/CAP1.3	121[1]	D8[1]	I I/O O	**CAP1.3**－定时器 1 捕获输入 3 **MISO1**－SPI1 主机输入/从机输出，从机到主机的数据传输 **MAT1.3**－定时器 1 匹配输出 3

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P0.19/MAT1.2/MOSI1/CAP1.2	122[1]	C8[1]	O I/O I	**MAT1.2**－定时器 1 匹配输出 2 **MOSI1**－SPI1 主机输出/从机输入，主机到从机的数据传输 ● SPI 接口：MOSI 线 ● SSI：DX/RX 线（SPI1 为主机/从机） ● Microwire：SO/SI 线（SPI1 为主机/从机） **CAP1.2**－定时器 1 捕获输入 2
P0.20/MAT1.3/SSEL1/EINT3	123[2]	B8[2]	O I I	**MAT1.3**－定时器 1 匹配输出 3 **SSEL1**－SPI1/Microwire 从机选择。选择 SPI 或 Microwire 接口用作从机。在 4 线 SSI 的情况下帧同步。 **EINT3**－外部中断 3 输入
P0.21/PWM5/CAP1.3	4[1]	C1[1]	O I	**PWM5**－脉宽调制器输出 5 **CAP1.3**－定时器 1 捕获输入 3
P0.22/CAP0.0/MAT0.0	5[1]	D4[1]	I O	**CAP0.0**－定时器 0 捕获输入 0 **MAT0.0**－定时器 0 匹配输出 0
P0.23	6[1]	D3[1]	I/O	通用双向数字 I/O 口
P0.24	8[1]	D1[1]	I/O	通用双向数字 I/O 口
P0.25	21[1]	H1[1]	I/O	通用双向数字 I/O 口
P0.27/AIN0/CAP0.1/MAT0.1	23[4]	H3[4]	I I O	**AIN0**－A/D 转换输入 0。该模拟输入总是连接到相应的管脚上。 **CAP0.1**－定时器 0 捕获输入 1 **MAT0.1**－定时器 0 匹配输出 1
P0.28/AIN1/CAP0.2/MAT0.2	25[4]	J1[4]	I I O	**AIN1**－A/D 转换输入 1。该模拟输入总是连接到相应的管脚上。 **CAP0.2**－定时器 0 捕获输入 2 **MAT0.2**－定时器 0 匹配输出 2
P0.29/AIN2/CAP0.3/MAT0.3	32[4]	L1[4]	I I O	**AIN2**－A/D 转换输入 2。该模拟输入总是连接到相应的管脚上。 **CAP0.3**－定时器 0 捕获输入 3 **MAT0.3**－定时器 0 匹配输出 3
P0.30AIN3/EINT3/CAP0.0	33[4]	L2[4]	I I I	**AIN3**－A/D 转换输入 3。该模拟输入总是连接到相应的管脚上。 **EINT3**－外部中断 3 输入 **CAP0.0**－定时器 0 捕获输入 0
P1.0~P1.31			I/O	**P1 口**：P1 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。P1 口管脚的操作取决于管脚连接模块所选择的功能。P1 口的 P1.0～P1.15 不可用。
P1.0/CS0	91[5]	G11[5]	O	**CS0**－片选信号 0，低电平有效 （Bank0 地址范围：8000 0000 – 80FF FFFF）
P1.1/OE	90[5]	G13[5]	O	**OE**－输出使能信号，低电平有效。

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P1.16/TRACEPKT0	34[5]	L3[5]	O	**TRACEPKT0**－跟踪包位 0，带内部上拉的标准 I/O 口。
P1.17/TRACEPKT1	24[5]	H4[5]	O	**TRACEPKT1**－跟踪包位 1，带内部上拉的标准 I/O 口。
P1.18/TRACEPKT2	15[5]	F2[5]	O	**TRACEPKT2**－跟踪包位 2，带内部上拉的标准 I/O 口。
P1.19/TRACEPKT3	7[5]	D2[5]	O	**TRACEPKT3**－跟踪包位 3，带内部上拉的标准 I/O 口。
P1.20/TRACESYNC	102[5]	D12[5]	O	**TRACESYNC**－跟踪同步。带内部上拉的标准 I/O 口。 注：当 $\overline{\text{RESET}}$ 为低时，TRACESYNC 上的低电平会使 P1[25:16]在复位后作为跟踪端口。
P1.21/PIPESTAT0	95[5]	F11[5]	O	**PIPESTAT0**－流水线状态位 0，带内部上拉的标准 I/O 口。
P1.22/PIPESTAT1	86[5]	H11[5]	O	**PIPESTAT1**－流水线状态位 1，带内部上拉的标准 I/O 口。
P1.23/PIPESTAT2	82[5]	J11[5]	O	**PIPESTAT2**－流水线状态位 2，带内部上拉的标准 I/O 口。
P1.24/TRACECLK	70[5]	L11[5]	O	**TRACECLK**－跟踪时钟。带内部上拉的标准 I/O 口。
P1.25/EXTIN0	60[5]	K8[5]	I	**EXTIN0**－外部触发输入。带内部上拉的标准 I/O 口。
P1.26/RTCK	52[5]	N6[5]	I/O	**RTCK**－返回的测试时钟输出。JTAG 端口的额外信号。当处理器频率变化时帮助调试器保持同步。带内部上拉的双向口。 注：当 $\overline{\text{RESET}}$ 为低时，RTCK 上的低电平会使 P1[31:26]在复位后作为调试端口。
P1.27/TDO	144[5]	B2[5]	O	**TDO**－JTAG 接口测试数据输出。
P1.28/TD1	140[5]	A3[5]	I	**TDI**－JTAG 接口测试数据输入。
P1.29/TCK	126[5]	A7[5]	I	**TCK**－JTAG 接口测试时钟。
P1.30/TMS	113[5]	D10[5]	I	**TMS**－JTAG 接口测试模式选择。
P1.31/$\overline{\text{TRST}}$	43[5]	M4[5]	I	**$\overline{\text{TRST}}$** －JTAG 接口的测试复位。
P2.0-P2.31			I/O	P2 口：P2 口是一个 32 位双向 I/O 口。每个位都有独立的方向控制。P2 口管脚的操作取决于管脚连接模块所选择的功能。
P2.0/D0	98[5]	E12[5]	I/O	**D0**－外部存储器数据线 0
P2.1/D1	105[5]	C12[5]	I/O	**D1**－外部存储器数据线 1
P2.2/D2	106[5]	C11[5]	I/O	**D2**－外部存储器数据线 2
P2.3/D3	108[5]	B12[5]	I/O	**D3**－外部存储器数据线 3
P2.4/D4	109[5]	A13[5]	I/O	**D4**－外部存储器数据线 4
P2.5/D5	114[5]	C10[5]	I/O	**D5**－外部存储器数据线 5

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P2.6/D6	115[5]	B10[5]	I/O	**D6**－外部存储器数据线 6
P2.7/D7	116[5]	A10[5]	I/O	**D7**－外部存储器数据线 7
P2.8/D8	117[5]	D9[5]	I/O	**D8**－外部存储器数据线 8
P2.9/D9	118[5]	C9[5]	I/O	**D9**－外部存储器数据线 9
P2.10/D10	120[5]	A9[5]	I/O	**D10**－外部存储器数据线 10
P2.11/D11	124[5]	A8[5]	I/O	**D11**－外部存储器数据线 11
P2.12/D12	125[5]	B7[5]	I/O	**D12**－外部存储器数据线 12
P2.13/D13	127[5]	C7[5]	I/O	**D13**－外部存储器数据线 13
P2.14/D14	129[5]	A6[5]	I/O	**D14**－外部存储器数据线 14
P2.15/D15	130[5]	B6[5]	I/O	**D15**－外部存储器数据线 15
P2.16/D16	131[5]	C6[5]	I/O	**D16**－外部存储器数据线 16
P2.17/D17	132[5]	D6[5]	I/O	**D17**－外部存储器数据线 17
P2.18/D18	133[5]	A5[5]	I/O	**D18**－外部存储器数据线 18
P2.19/D19	134[5]	B5[5]	I/O	**D19**－外部存储器数据线 19
P2.20/D20	136[5]	D5[5]	I/O	**D20**－外部存储器数据线 20
P2.21/D21	137[5]	A4[5]	I/O	**D21**－外部存储器数据线 21
P2.22/D22	1[5]	A1[5]	I/O	**D22**－外部存储器数据线 22
P2.23/D23	10[5]	E3[5]	I/O	**D23**－外部存储器数据线 23
P2.24/D24	11[5]	E2[5]	I/O	**D24**－外部存储器数据线 24
P2.25/D25	12[5]	E1[5]	I/O	**D25**－外部存储器数据线 25
P2.26D26/ BOOT0	13[5]	F4[5]	I/O I	**D26**－外部存储器数据线 26 **BOOT0**－当 $\overline{\text{RESET}}$ 为低时，BOOT0 与 BOOT1 一同控制引导和内部操作。管脚的内部上拉确保了管脚未连接时呈现高阻态。
P2.27D27/ BOOT1	16[5]	F1[5]	I/O I	**D27**－外部存储器数据线 27 **BOOT1**－当 $\overline{\text{RESET}}$ 为低时，BOOT1 与 BOOT0 一同控制引导和内部操作。管脚的内部上拉确保了管脚未连接时呈现高阻态。 BOOT1:0=00 选择引导 CS0 控制的 8 位存储器。 BOOT1:0=01 选择引导 CS0 控制的 16 位存储器。 BOOT1:0=10 选择引导 CS0 控制的 32 位存储器。 BOOT1:0=11 选择引导 CS0 控制的 16 位存储器。
P2.28/D28	17[5]	G2[5]	I/O	**D28**－外部存储器数据线 28
P2.29/D29	18[5]	G1[5]	I/O	**D29**－外部存储器数据线 29
P2.30/D30/A IN4	19[2]	G3[2]	I/O I	**D30**－外部存储器数据线 30 **AIN4**－A/D 转换输入 4。该模拟输入总是连接到相应的管脚上。
P2.31D31/ AIN5	20[2]	G4[2]	I/O I	**D31**－外部存储器数据线 31 **AIN5**－A/D 转换输入 5。该模拟输入总是连接到相应的管脚上。

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P3.0-P3.31			I/O	**P3 口：**P3 口是一个 32 位双向 I/O 口，每位的方向可单独控制。P3 口的功能取决于管脚连接模块的管脚功能选择。
P3.0/A0	89[5]	G12[5]	O	**A0**—外部存储器地址线 0。
P3.1/A1	88[5]	H13[5]	O	**A1**—外部存储器地址线 1。
P3.2/A2	87[5]	H12[5]	O	**A2**—外部存储器地址线 2。
P3.3/A3	81[5]	J10[5]	O	**A3**—外部存储器地址线 3。
P3.4/A4	80[5]	K13[5]	O	**A4**—外部存储器地址线 4。
P3.5/A5	74[5]	M13[5]	O	**A5**—外部存储器地址线 5。
P3.6/A6	73[5]	N13[5]	O	**A6**—外部存储器地址线 6。
P3.7/A7	72[5]	M12[5]	O	**A7**—外部存储器地址线 7。
P3.8/A8	71[5]	N12[5]	O	**A8**—外部存储器地址线 8。
P3.9/A9	66[5]	M10[5]	O	**A9**—外部存储器地址线 9。
P3.10/A10	65[5]	N10[5]	O	**A10**—外部存储器地址线 10。
P3.11/A11	64[5]	K9[5]	O	**A11**—外部存储器地址线 11。
P3.12/A12	63[5]	L9[5]	O	**A12**—外部存储器地址线 12。
P3.13/A13	62[5]	M9[5]	O	**A13**—外部存储器地址线 13。
P3.14/A14	56[5]	K7[5]	O	**A14**—外部存储器地址线 14。
P3.15/A15	55[5]	L7[5]	O	**A15**—外部存储器地址线 15。
P3.16/A16	53[5]	M7[5]	O	**A16**—外部存储器地址线 16。
P3.17/A17	48[5]	N5[5]	O	**A17**—外部存储器地址线 17。
P3.18/A18	47[5]	M5[5]	O	**A18**—外部存储器地址线 18。
P3.19/A19	46[5]	L5[5]	O	**A19**—外部存储器地址线 19。
P3.20/A20	45[5]	K5[5]	O	**A20**—外部存储器地址线 20。
P3.21/A21	44[5]	N4[5]	O	**A21**—外部存储器地址线 21。
P3.22/A22	41[5]	K4[5]	O	**A22**—外部存储器地址线 22。
P3.23/A23/XCLK	40[5]	N3[5]	O	**A23**—外部存储器地址线 23。
			O	**XCLK**—时钟输出。
P3.24/CS3	36[5]	M2[5]	O	**CS3**—片选信号 3，低电平有效。（Bank 3 地址范围为 8300 0000 – 83FF FFFF）
P3.25/CS2	35[5]	M1[5]	O	**CS2**—片选信号 2，低电平有效。（Bank 2 地址范围为 8200 0000 – 82FF FFFF）
P3.26/CS1	30[5]	K2[5]	O	**CS1**—片选信号 1，低电平有效。（Bank 1 地址范围为 8100 0000 – 81FF FFFF）
P3.27/WE	29[5]	K1[5]	O	**WE**—写使能信号，低电平有效。
P3.28/BLS3/AIN7	28[2]	J4[2]	O	**BLS3**—字节定位选择信号（Bank 3），低电平有效。
			I	**AIN7**—A/D 转换输入 7。该模拟输入总是连接到相应的管脚上。

续上表

管脚名称	管脚（LQFP）	管脚（TFBGA）	类 型	描 述
P3.29/BLS2/AIN6	27[4]	J3[4]	O	**BLS2**—字节定位选择信号（Bank 2），低电平有效。
			I	**AIN6**—A/D 转换输入 6。该模拟输入总是连接到相应的管脚上。
P3.30/BLS1	97[4]	E13[4]	O	**BLS1**—字节定位选择信号（Bank 1），低电平有效。
P3.31/BLS0	96[4]	F10[4]	O	**BLS0**—字节定位选择信号（Bank 0），低电平有效。
n.c.	22[5]	H2[5]		不连接。该管脚必须不能拉低否则器件不能正常工作。
$\overline{\text{RESET}}$	135[6]	C5[6]	I	外部复位输入。该管脚的低电平将器件复位，并使 I/O 口和外围功能恢复默认状态，处理器从地址 0 开始执行。带迟滞的 TTL 电平，管脚可承受 5V 电压。
XTAL1	142[7]	C3[7]	I	振荡器电路和内部时钟发生器的输入。
XTAL2	141[7]	B3[7]	O	振荡放大器的输出。
V_{SS}	3,9,26,38,54,67,79,93,103,107,111,128	C2,E4,J2,N2,N7,L10,K12,F13,D11,B13,B11,D7	I	地：0V 参考点。
V_{SSA}	139	C4	I	模拟地：0V 参考点。标称电压与 V_{SS} 相同，但应当互相隔离以减少噪声和故障。
$V_{SSA(PLL)}$	138	B4	I	**PLL** 模拟地：0V 参考点。标称电压与 V_{SS} 相同，但应当互相隔离以减少噪声和故障。
$V_{DD(1V8)}$	37, 110	N1,A12	I	**1.8V** 内核电源：内部电路的电源。
$V_{DDA(1V8)}$	143	A2	I	模拟 **1.8V** 内核电源：内部电路的电源。标称电压与 $V_{DD(1V8)}$相同，但应当互相隔离以减少噪声和故障。
$V_{DD\ (3V3)}$	2,31,39,51,57,77,94,104,112,119	B1,K3,M3,M6,N8,K10,F12,C13,A11,B9	I	**3.3V** 端口电源：I/O 口的电源。
$V_{DDA\ (3V3)}$	14	F3	I	模拟 **3.3V** 端口电源：标称电压与 $V_{DD\ (3V3)}$相同，但应当互相隔离以减少噪声和故障。

[1] 5V 电压容限端口提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。

[2] 5V 电压容限端口提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。如果配置为输入功能，该端口利用内置的干扰滤波器阻止短于 3ns 的脉冲。

[3] 可承受开漏 5V 电压的数字 I/O I^2C 总线 400kHz 规格的兼容端口。它需要外部上拉提供多种用途的输出。

[4] 5V 电压容限端口提供数字 I/O（带 TTL 电平、滞后和 10ns 转换速率控制）和模拟输入功能。如果配置为输入功能，该端口利用内置的干扰滤波器阻止短于 3ns 的脉冲。当配置为 ADC 输入时，端口的数字部分禁能。

[5] 具有内置上拉电阻的 5V 电压容限端口，提供带 TTL 电平、滞后和 10ns 转换速率控制的数字 I/O 功能。上拉电阻值的范围从 60kΩ～300kΩ。

[6] 5V 电压容限端口仅提供数字输入功能（带 TTL 电平和滞后）。

[7] 端口提供特殊的模拟功能。

6. 功能描述

6.1 结构概述

ARM7TDMI-S 是一个通用的 32 位微处理器，它可提供高性能和低功耗。ARM 结构是基于精简指令集计算机(RISC)原理而设计的。指令集和相关的译码机制比复杂指令集计算机要简单得多。这样使用一个小的、廉价的处理器核就可实现很高的指令吞吐量和实时的中断响应。

由于使用了流水线技术，处理和存储系统的所有部分都可连续工作。通常在执行一条指令的同时对下一条指令进行译码，并将第三条指令从存储器中取出。

ARM7TDMI-S 处理器使用了一个被称为 THUMB 的独特的结构化策略，它非常适用于那些对存储器有限制或者需要较高代码密度的大批量产品的应用。

在 THUMB 后面一个关键的概念是“ 超精简指令集 ”。ARM7TDMI-S 处理器基本上具有两个指令集：

- 标准 32 位 ARM 指令集
- 16 位 THUMB 指令集

THUMB 指令集的 16 位指令长度使其可以达到标准 ARM 代码两倍的密度，却仍然保持 ARM 的大多数性能上的优势，这些优势是使用 16 位寄存器的 16 位处理器所不具有的。这是因为 THUMB 代码和 ARM 代码一样，在相同的 32 位寄存器上进行操作。

THUMB 代码仅为 ARM 代码规模的 65%，但其性能却相当于连接到 16 位存储器系统的相同 ARM 处理器性能的 160%。

6.2 片内静态 RAM

片内静态 RAM 可用作代码和/或数据的存储。SRAM 支持 8 位、16 位和 32 位访问。LPC2210/2220 具有 16 kB 静态 RAM 且 LPC2220 具有 64kB 静态 RAM。

6.3 存储器映射

LPC2210/2220 的存储器映射包含几个不同的区域，见下图所示。

此外，CPU 的中断向量可以重新映射，这样允许它们位于片内引导装载程序，外部存储器 BANK0 或者片内静态 RAM 当中。详见 6.20 节“ 系统控制 ”。

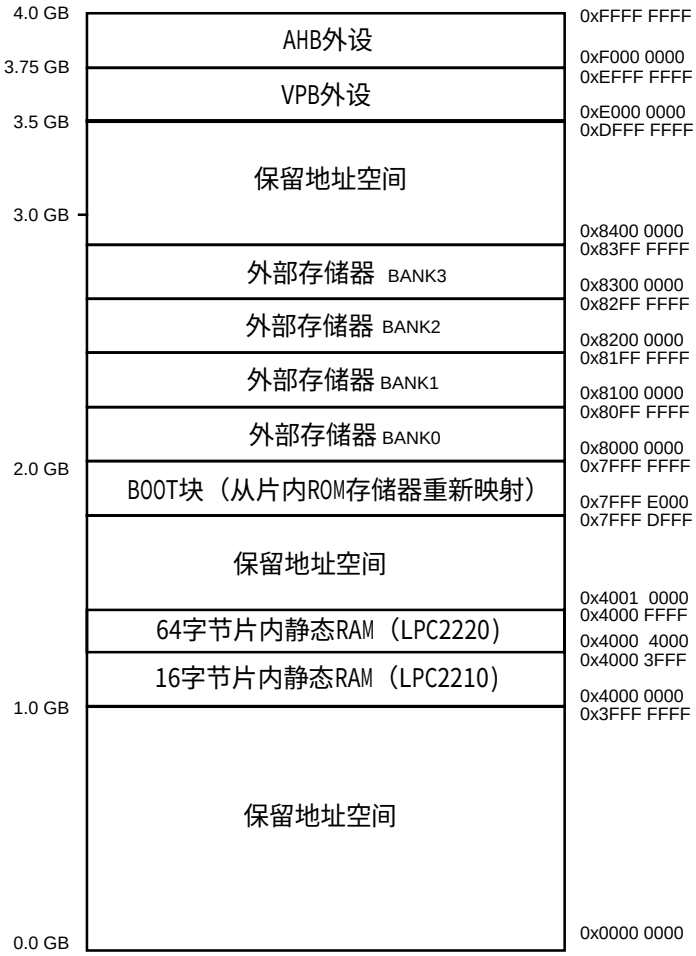


图 4 LPC2210/2220 存储器映射

6.4 中断控制器

向量中断控制器(VIC)接收所有的中断请求输入，并将它们编程分配为 3 类：FIQ、向量 IRQ 和非向量 IRQ。可编程分配机制意味着不同外设的中断优先级可以动态分配和调整。

快速中断请求(FIQ)具有最高优先级。如果分配给 FIQ 的请求多于 1 个，VIC 将中断请求“相或”向 ARM 处理器产生 FIQ 信号。当只有一个被分配为 FIQ 时可实现最短的 FIQ 等待时间，因为 FIQ 服务程序只要简单地启动器件的处理就可以了。但如果分配给 FIQ 级的中断多于 1 个，FIQ 服务程序从 VIC 中读出一个字以识别产生中断请求的 FIQ 中断源是哪一个。

向量 IRQ 具有中等优先级。该级别可分配 16 个中断请求。中断请求中的任意一个都可分配到 16 个向量 IRQ slot 中的任意一个，其中 slot0 具有最高优先级，而 slot15 则为最低优先级。

非向量 IRQ 的优先级最低。

VIC 将所有向量和非向量 IRQ 组合后向 ARM 处理器产生 IRQ 信号。IRQ 服务程序可通过读取 VIC 的一个寄存器立即启动并跳转到相应地址。如果有任意一个向量 IRQ 发出请求，VIC 则提供最高优先级请求 IRQ 服务程序的地址，否则提供默认程序的地址，该默认程序由所有非向量 IRQ 共用。默认程序可读取另一个 VIC 寄存器以确定哪个 IRQ 被激活。

6.4.1 中断源

表 5 所列为每个外围功能的中断源。每个外设都有一条中断线连接到向量中断控制器，但可能有几个内部中断标志。单个中断标志也可能代表不同的中断源。

表 5 中断源

模块	标志	VIC 通道#
WDT	看门狗中断(WDINT)	0
-	只保留给软件中断使用	1
ARM 内核	EmbeddedICE, DbgCommRx	2
ARM 内核	EmbeddedICE, DbgCommTx	3
定时器 0	匹配 0-3(MR0, MR1, MR2, MR3)	4
定时器 1	匹配 0-3(MR0, MR1, MR2, MR3)	5
UART0	Rx 线状态(RLS) 发送保持寄存器空(THRE) Rx 数据可用(RDA) 字符超时指示(CTI)	6
UART1	Rx 线状态(RLS) 发送保持寄存器空(THRE) Rx 数据可用(RDA) 字符超时指示(CTI) 调制解调器状态中断(MSI)	7
PWM0	匹配 0-6(MR0, MR1, MR2, MR3, MR4, MR5, MR6)	8
I^2C	SI(状态改变)	9
SPI0	SPIF, MODF	10
SPI1 和 SSP	SPIF, MODF 和 TXRIS, RXRIS, RTRIS, RORRIS	11
PLL	PLL 时钟(PLOCK)	12
RTC	RTCCIF(计数器增加)，RTCALF(报警)	13
系统控制	外部中断 0(EINT0)	14
	外部中断 1(EINT1)	15
	外部中断 2(EINT2)	16
	外部中断 3(EINT3)	17
A/D	A/D 转换器	18

6.5 管脚连接模块

管脚连接模块允许将微控制器的管脚配置为不同的功能。配置寄存器控制连接管脚和片内外设的多路开关。应当在激活外设以及使能任何相关的中断之前，将外设连接到相应的管脚。任何一个被使能的外设，如果其功能没有映射到相关的管脚，对它的激活将被认为是未定义的。

管脚连接模块包含 3 个寄存器，见表 6。

表 6 管脚连接模块寄存器

地址	名称	描述	访问
0xE002C000	PINSEL0	管脚功能选择寄存器 0	读/写
0xE002C004	PINSEL1	管脚功能选择寄存器 1	读/写
0xE002C014	PINSEL2	管脚功能选择寄存器 2	读/写

6.6 管脚功能选择寄存器 0（PINSEL0 – 0xE002C000）

PINSEL0 寄存器控制表 7 所列管脚的功能。IODIR 寄存器中的方向控制位只有在 GPIO 功能应用到管脚时才有效。对于其它功能，方向自动进行控制。表 7 所列设定之外的设定都被保留，用户不要使用这些保留设定。

表 7 管脚功能选择寄存器 0（PINSEL0 – 0xE002C000）

PINSEL0	管脚名称	值		功 能	复位值
1:0	P0.0	0	0	GPIO P0.0	0
		0	1	TxD (UART0)	
		1	0	PWM1	
		1	1	保留	
3:2	P0.1	0	0	GPIO P0.1	0
		0	1	RxD (UART0)	
		1	0	PWM3	
		1	1	EINT0	
5:4	P0.2	0	0	GPIO P0.2	0
		0	1	SCL (I^2C 总线)	
		1	0	捕获 0.0 (定时器 0)	
		1	1	保留	
7:6	P0.3	0	0	GPIO P0.3	0
		0	1	SDA (I^2C 总线)	
		1	0	匹配 0.0 (定时器 0)	
		1	1	EINT1	
9:8	P0.4	0	0	GPIO P0.4	0
		0	1	SCK (SPI0)	
		1	0	捕获 0.1 (定时器 0)	
		1	1	保留	
11:10	P0.5	0	0	GPIO P0.5	0
		0	1	MISO (SPI0)	
		1	0	匹配 0.1 (定时器 0)	
		1	1	保留	
13:12	P0.6	0	0	GPIO P0.6	0
		0	1	MOSI (SPI0)	
		1	0	捕获 0.2 (定时器 0)	
		1	1	保留	
15:14	P0.7	0	0	GPIO P0.7	0
		0	1	SSEL (SPI0)	
		1	0	PWM2	
		1	1	EINT2	
17:16	P0.8	0	0	GPIO P0.8	0
		0	1	TxD UART1	
		1	0	PWM4	
		1	1	保留	

续上表

PINSEL0	管脚名称	值		功 能	复位值
19:18	P0.9	0	0	GPIO P0.9	0
		0	1	RxD (UART1)	
		1	0	PWM6	
		1	1	EINT3	
21:20	P0.10	0	0	GPIO P0.10	0
		0	1	RTS (UART1)	
		1	0	捕获 1.0 (定时器 1)	
		1	1	保留	
23:22	P0.11	0	0	GPIO P0.11	0
		0	1	CTS (UART1)	
		1	0	捕获 1.1 (定时器 1)	
		1	1	保留	
25:24	P0.12	0	0	GPIO P0.12	0
		0	1	DSR (UART1)	
		1	0	匹配 1.0 (定时器 1)	
		1	1	保留	
27:26	P0.13	0	0	GPIO P0.13	0
		0	1	DTR (UART1)	
		1	0	匹配 1.1 (定时器 1)	
		1	1	保留	
29:28	P0.14	0	0	GPIO P0.14	0
		0	1	DCD (UART1)	
		1	0	EINT1	
		1	1	保留	
31:30	P0.15	0	0	GPIO P0.15	0
		0	1	RI (UART1)	
		1	0	EINT2	
		1	1	保留	

6.7 管脚功能选择寄存器 1（PINSEL1 – 0xE002C004）

PINSEL1 寄存器控制表 8 所列管脚的功能。IODIR 寄存器中的方向控制位只有在 GPIO 功能应用到管脚时才有效。对于其它功能，方向自动进行控制。表中所列设定之外的设定都被保留，用户不要使用这些保留设定。

表 8 管脚功能选择寄存器 1（PINSEL1 – 0xE002C004）

PINSEL1	管脚名称	值		功 能	复位值
1:0	P0.16	0	0	GPIO P0.16	0
		0	1	EINT0	
		1	0	匹配 0.2 (定时器 0)	
		1	1	捕获 0.2 (定时器 0)	

续上表

PINSEL1	管脚名称	值		功 能	复位值
3:2	P0.17	0	0	GPIO P0.17	0
		0	1	捕获 1.2 (定时器 1)	
		1	0	SCK (SPI1)	
		1	1	匹配 1.2 (定时器 1)	
5:4	P0.18	0	0	GPIO P0.18	0
		0	1	捕获 1.3 (定时器 1)	
		1	0	MISO (SPI1)	
		1	1	匹配 1.3 (定时器 1)	
7:6	P0.19	0	0	GPIO P0.19	0
		0	1	匹配 1.2 (定时器 1)	
		1	0	MOSI (SPI1)	
		1	1	捕获 1.2 (定时器 1)	
9:8	P0.20	0	0	GPIO P0.20	0
		0	1	匹配 1.3 (定时器 1)	
		1	0	SSEL (SPI1)	
		1	1	EINT3	
11:10	P0.21	0	0	GPIO P0.21	0
		0	1	PWM5	
		1	0	保留	
		1	1	捕获 1.3 (定时器 1)	
13:12	P0.22	0	0	GPIO P0.22	0
		0	1	保留	
		1	0	捕获 0.0 (定时器 0)	
		1	1	匹配 0.0 (定时器 0)	
15:14	P0.23	0	0	GPIO P0.23	0
		0	1	保留	
		1	0	保留	
		1	1	保留	
17:16	P0.24	0	0	GPIO P0.24	0
		0	1	保留	
		1	0	保留	
		1	1	保留	
19:18	P0.25	0	0	GPIO P0.25	0
		0	1	保留	
		1	0	保留	
		1	1	保留	
21:20	P0.26	0	0	保留	0
		0	1	保留	
		1	0	保留	
		1	1	保留	

续上表

PINSEL1	管脚名称	值		功 能	复位值
23:22	P0.27	0	0	GPIO P0.27	1
		0	1	AIN0 (A/D 输入 0)	
		1	0	捕获 0.1 (定时器 0)	
		1	1	匹配 0.1 (定时器 0)	
25:24	P0.28	0	0	GPIO P0.28	1
		0	1	AIN1 (A/D 输入 1)	
		1	0	捕获 0.2 (定时器 0)	
		1	1	匹配 0.2 (定时器 0)	
27:26	P0.29	0	0	GPIO P0.29	1
		0	1	AIN2 (A/D 输入 2)	
		1	0	捕获 0.3 (定时器 0)	
		1	1	匹配 0.3 (定时器 0)	
29:28	P0.30	0	0	GPIO P0.30	1
		0	1	AIN3 (A/D 输入 0)	
		1	0	EINT3	
		1	1	捕获 0.0 (定时器 0)	
31:30	P0.31	0	0	保留	0
		0	1	保留	
		1	0	保留	
		1	1	保留	

6.8 管脚功能选择寄存器 2（PINSEL2 – 0xE002C014）

PINSEL2 寄存器控制表 9 所列管脚的功能。IODIR 寄存器中的方向控制位只有在 GPIO 功能应用到管脚时才有效。对于其它功能，方向自动进行控制。表中所列设定之外的设定都被保留，用户不要使用这些保留设定。

表 9 管脚功能选择寄存器 2（PINSEL2 – 0xE002C014）

PINSEL2 位	描述	复位值
1:0	保留	–
2	为 0 时，P1[31:26]作为通用 I/O 口。为 1 时，P1[31:26]作为调试端口。	$\overline{\text{P1.26/RTCK}}$
3	为 0 时，P1[25:16]作为通用 I/O 口。为 1 时，P1[25:16]作为跟踪端口。	$\overline{\text{P1.20}}$ / $\overline{\text{TRACESYNC}}$
5:4	控制数据总线和选通管脚的使用： 管脚 P2[7:0] 11=P2[7:0] 0x 或 10＝D7:0 管脚 P1.0 11=P1.0 0x 或 10＝CS0 管脚 P1.1 11=P1.1 0x 或 10＝OE 管脚 P3.31 11=P3.31 0x 或 10＝BLS0 管脚 P2[15:8] 00 或 11＝P2[15:8] 01 或 10＝D15:8 管脚 P3.30 00 或 11＝P3.30 01 或 10＝BLS1 管脚 P2[27:16] 0x 或 11＝P2[27:16] 10=D27:16 管脚 P2[29:28] 0x 或 11＝P2[29:28]或保留 10=D29:28 管脚 P2[31:30] 0x 或 11＝P2[31:30]或 AIN5:4 10=D31:30 管脚 P3[29:28] 0x 或 11＝P3[29:28]或 AIN6:7 10=BLS2:3	BOOT1:0

续上表

PINSEL2 位	描述	复位值
6	如果位 5:4 不为 10，由该位控制 P3.29 脚的使用：为 0 时使能 P3.29，为 1 时使能 AIN6。	1
7	如果位 5:4 不为 10，由该位控制 P3.28 脚的使用：为 0 时使能 P3.28，为 1 时使能 AIN7。	1
8	该位控制 P3.27 脚的使用：为 0 时使能 P3.27，为 1 时使能 WE。	0
10:9	保留。	-
11	该位控制 P3.26 脚的使用：为 0 时使能 P3.26，为 1 时使能 CS1。	0
12	保留。	-
13	如果位 27:25 不为 111，由该位控制 P3.23/A23/XCLK 脚的使用：为 0 时使能 P3.23，为 1 时使能 XCLK。	0
15:14	控制 P3.25 脚的使用：00 使能 P3.25，01 使能 CS2，10 和 11 保留。	00
17:16	控制 P3.24 脚的使用：00 使能 P3.24，01 使能 CS3，10 和 11 保留。	00
19:18	保留。	-
20	如果位 5:4 不为 10，由该位控制 P2[29:28]的使用：0 使能 P2[29:28]，1 保留。	0
21	如果位 5:4 不为 10，由该位控制 P2.30 的使用：0 使能 P2.30，1 使能 AIN4。	1
22	如果位 5:4 不为 10，由该位控制 P2.31 的使用：0 使能 P2.31，1 使能 AIN5。	1
23	控制 P3.0/A0 用作端口管脚（0）或地址线（1）。	如果 $\overline{\text{RESET}}$ ＝0 时 BOOT1:0=00，该位的复位值为 1。反之为 0。
24	控制 P3.1/A1 用作端口管脚（0）或地址线（1）。	复位过程中为 $\overline{\text{BOOT1}}$
27:25	控制 P3.23/A23/XCLK 和 P3[22:2]/A2[22:2]中地址线的数目： 000＝无地址线　　100＝A11:2 为地址线 001＝A3:2 为地址线　　101＝A15:2 为地址线 010＝A5:2 为地址线　　110＝A19:2 为地址线 011＝A7:2 为地址线　　111＝A23:2 为地址线	如果复位时 BOOT1:0=11，该域的复位值为 000。反之为 111。
31:28	保留。	-

6.9 外部存储器控制器

外部静态存储器控制器是一个为系统总线和外部（片外）存储器器件提供接口的功能模块。它可同时支持 4 个可单独配置的存储器组的工作（每个存储器组的容量为 16M 字节，带有字节定位使能控制）。每个存储器组都支持 SRAM、ROM、Flash EPROM、Burst ROM 存储器或一些外部 I/O 器件。

每个存储器组的总线宽度为 8、16 或 32 位。

6.10 通用并行 I/O 口

没有连接到特定外设功能的管脚由 GPIO 寄存器进行控制。管脚可以动态配置为输入或输出。寄存器

可以同时对任意个输出口进行置位或清零。输出寄存器的值以及管脚的当前状态都可以读出。

6.10.1 特性

- 单个位的方向控制
- 输出置位和清零可单独控制
- 所有 I/O 在复位后的默认状态都为输入

6.11 10 位 A/D 转换器

LPC2210/2220 分别包含一个带 8 路输入的 10 位逐次逼近模-数转换器。

6.11.1 特性

- 测量范围：0～3V
- 每秒可执行 400,000 次 10 位采样
- 单路或多路输入的突发转换模式
- 根据输入脚的跳变或定时器匹配信号执行转换

6.12 UART

LPC2210/2220 包含 2 个 UART。一个 UART 提供一个完全的调制解调器控制握手接口。另一个 UART 只有发送和接收数据线。

6.12.1 特性

- 16 字节接收和发送 FIFO
- 寄存器位置遵循 550 工业标准
- 接收器 FIFO 触发点为 1、4、8 和 14 个字节
- 内置波特率发生器
- UART1 包含标准调制解调器接口信号
- LPC2220 提供带有分数波特率发生器的增强型 UART，软件流控制的机制和仅 UART1 上的硬件(CTS/RTS)流控制。

6.13 I^2C 总线串行 I/O 控制器

I^2C 是一个双向总线，它使用两条线：串行时钟线(SCL) 和串行数据线(SDA) 实现互连芯片的控制。每个器件都通过一个唯一的地址来识别，这些器件可以是只接收器件（例如 LCD 驱动器），或是可以发送和接收信息的发送器（例如存储器）。发送器和/或接收器可以操作为主或从模式，这取决于芯片是启动数据的发送还是只被寻址。I^2C 是一个多主总线，它可以由超过一个总线主控器进行控制。

LPC2210/2220 所包含的 I^2C 功能支持 400kbit/s（快速 I^2C）。

6.13.1 特性

- 遵循标准的 I^2C 总线接口
- 可配置为主机、从机或主/从机

- 可编程时钟可实现通用速率控制
- 主机从机之间双向数据传输
- 多主机总线(无中央主机)
- 同时发送的主机之间进行仲裁，避免了总线数据的冲突
- 串行时钟同步使器件在一条串行总线上实现不同位速率的通信
- 串行时钟同步可作为握手机制使串行传输挂起和恢复
- I^2C 总线可用于测试和诊断

6.14 SPI 接口

LPC2210/2220 包含 2 个 SPI 接口。SPI 是一个全双工的串行接口，它设计成可以处理在一个给定总线上多个互连的主机和从机。在一定数据传输过程中，接口上只能有一个主机和一个从机通信。在一次数据传输中，主机总是向从机发送一个字节数据，而从机也总是向主机发送一个字节数据。

6.14.1 特性

- 遵循串行外设接口(SPI)规范
- 同步、串行、全双工通信
- 组合的 SPI 主机和从机
- 最大数据位速率为输入时钟速率的 1/8

6.15 SSP 控制器

该外设仅可用于 LPC2220。

6.15.1 特性

- 兼容 Motorola SPI、4 线 TI SSI 和 National 半导体的 Microwire 总线
- 同步串行通信
- 主机或从机操作
- 发送和接收的 8 帧 FIFO
- 每帧包含 4～16 位数据

6.15.2 描述

SSP 是一个可以控制 SPI、4 线 SSI 或 Microwire 总线的控制器。它可与总线的多个主机和从机互相通信。但是，在一个给定的数据传输过程中，总线只允许一个主机和一个从机通信。SSP 支持全双工传输，允许主机和从机之间传输 4～16 位的数据流帧。

当 SSP 和 SPI1 外设共用相同的物理管脚时，不可能同时使这两个外设都有效。应用可从 SPI1 切换到 SSP 并返回。

6.16 通用定时器

定时器/计数器对外设时钟周期（PCLK）或外部时钟进行计数，可选择产生中断或基于 4 个匹配寄存器，在到达指定的定时值时执行其它动作。它还包括 4 个捕获输入，用于在输入信号发生跳变时捕获定时器值，并可选择产生中断。多个管脚通过‘或’、‘与’，可以实现捕获、匹配或‘广播’功能。

如果最小的外部脉冲等于或长于一个 PCLK 周期，LPC2220 可在其中一个捕获输入上计数外部事件。在这种配置中，可选择不使用的捕获线作为调节定时器捕获输入。

6.16.1 特性

- 带可编程 32 位预分频器的 32 位定时器/计数器
- 定时器操作（LPC2210/2220）或外部事件计数器（仅为 LPC2220）
- 当输入信号跳变时，4 个 32 位捕获通道可捕获定时器的瞬时值。捕获事件可选择产生中断。
- 4 个 32 位匹配寄存器：
  －连续操作，可选择在匹配时产生中断
  －匹配时停止定时器，可选择产生中断
  －匹配时复位定时器，可选择产生中断
- 每个定时器有 4 个对应于匹配寄存器的外部输出，具有下列特性：
  －匹配时置低电平
  －匹配时置高电平
  －匹配时翻转
  －匹配时不变

6.17 看门狗定时器

看门狗定时器的用途是使微控制器在进入错误状态经过一段时间后复位。当看门狗使能时，如果没有在预先确定的时间内“喂”（重装）看门狗，它将会产生一次系统复位。

6.17.1 特性

- 如果没有周期性重装，则产生片内复位
- 调试模式
- 由软件使能，但要求禁止硬件复位或看门狗复位/中断
- 错误/不完整的喂狗时序会导致复位/中断(如果使能)
- 指示看门狗复位的标志
- 带内部预分频器的可编程 32 位定时器
- 可选择时间周期：从($t_{pclk}\times256\times4$) 到 ($t_{pclk}\times2^{32}\times4$)，可选值为 $t_{pclk}\times4$ 的倍数

6.18 实时时钟

当选择正常或空闲模式时，实时时钟(RTC)提供一套用于测量时间的计数器。RTC 消耗的功率非常低，这使其适合于由电池供电的，CPU 不连续工作(空闲模式)的系统。

6.18.1 特性

- 对时间段进行测量以实现一个日历或时钟
- 超低功耗设计，支持电池供电系统
- 提供秒、分、小时、日、月、年和星期
- 可编程基准时钟分频器允许调节 RTC 以适应不同的晶振频率

6.19 脉宽调制器(PWM)

PWM 基于标准的定时器模块并具有其所有特性，尽管 LPC2210/2220 只将其 PWM 功能输出到管脚。定时器对外设时钟(pclk)进行计数，可选择产生中断或者根据 7 个匹配寄存器在到达指定的定时值时执行其它动作。PWM 功能也建立在匹配寄存器事件基础之上。

独立控制上升和下降沿位置的能力使 PWM 可以应用于更多的领域。例如，多相位电机控制通常需要 3 个非重叠的 PWM 输出，而这 3 个输出的脉宽和位置需要独立进行控制。

两个匹配寄存器可用于提供单边沿控制的 PWM 输出。匹配寄存器 MR0 通过匹配时重新设置计数值来控制 PWM 周期率。其它的匹配寄存器控制 PWM 边沿的位置。每个额外的单边沿控制 PWM 输出只需要一个匹配寄存器，因为所有 PWM 输出的重复速率是相同的。多个单边沿控制的 PWM 输出在每个 PWM 周期的开始并且当 MR0 发生匹配时，都有一个上升沿。

3 个匹配寄存器可用于提供一个双边沿控制 PWM 输出。也就是说，MR0 匹配寄存器控制 PWM 周期速率，其它匹配寄存器控制两个 PWM 边沿位置。每个额外的双边沿控制 PWM 输出只需要两个匹配寄存器，因为所有 PWM 输出的重复速率是相同的。

使用双边沿控制 PWM 输出时，指定的匹配寄存器控制输出的上升和下降沿。这样就产生了正脉冲（当上升沿先于下降沿时）和负脉冲（当下降沿先于上升沿时）。

6.19.1 特性

- 7 个匹配寄存器，可实现 6 个单边沿控制或 3 个双边沿控制 PWM 输出，或这两种类型的混合输出。
- 匹配寄存器允许执行以下操作：
  －连续操作，可选择在匹配时产生中断
  －匹配时停止定时器，可选择产生中断
  －匹配时复位定时器，可选择产生中断
- 支持单边沿控制和/或双边沿控制的 PWM 输出。单边沿控制 PWM 输出在每个周期开始时总是为高电平，除非输出保持恒定低电平。双边沿控制 PWM 输出可在一个周期内的任何位置产生边沿。这样可同时产生正和负脉冲。
- 脉冲周期和宽度可以是任何的定时器计数值。这样可在分辨率和重复速率上获得平衡。所有 PWM 输出都以相同的重复率发生。
- 双边沿控制的 PWM 输出可编程为正脉冲或负脉冲。
- 匹配寄存器更新与脉冲输出同步，防止产生错误的脉冲。软件必须在新的匹配值生效之前将它们释放。
- 如果不使能 PWM 模式，可作为一个标准定时器
- 带可编程 32 位预分频器的 32 位定时器/计数器

6.20 系统控制

6.20.1 晶振

片内集成振荡器支持的晶振范围为 1MHz～30MHz，外部振荡器频率高达 50MHz。晶振输出频率称为 f_{OSC}，而 ARM 处理器时钟频率称为 CCLK。除非连接并运行 PLL，否则在该文档中 f_{OSC} 和 CCLK 的值是相同的。详细内容请参考 6.20.2 节 “ PLL ”。

6.20.2 PLL

PLL 可以接受范围为 10MHz～25MHz 的输入时钟频率。输入频率通过一个电流控制振荡器（CCO）可以倍增为 10MHz～60/75MHz (LPC2210/2220)。倍增器可以是从 1 到 32 的整数（实际上在该系列微控制器当中，由于 CPU 频率的限制，倍增器的值不可能高于 6）。CCO 操作的范围为 156MHz～320MHz，因此在环当中增加了一个分频器，这样 PLL 在提供所需要的输出频率时，使 CCO 保持在其频率范围内。输出分频器可设置为 2、4、8 或者 16 以产生输出时钟。由于最小输出分频值为 2，这样就确保了 PLL 输出具有 50%的占空比。PLL 在芯片复位后关闭并且被旁路，可通过软件使能。程序必须配置并且激活 PLL，等待 PLL 锁定之后再将 PLL 作为时钟源。PLL 的设置时间为 100us。

6.20.3 复位和唤醒定时器

LPC2210/2220 有 2 个复位源： $\overline{\text{RESET}}$ 管脚和看门狗复位。 $\overline{\text{RESET}}$ 管脚是一个施密特触发输入管脚，带有附加的干扰滤波器。任何复位源所导致的芯片复位都会启动唤醒定时器（见下面的唤醒定时器），复位状态将一直保持到外部复位撤除，振荡器开始运行。振荡器运行经过固定数目的时钟后内部电路完成其初始化。

当内部复位撤除后，处理器从复位向量地址 0 开始执行。此时所有的处理器和外设寄存器都被初始化为预设的值。

唤醒定时器的用途是确保振荡器和其它芯片操作所需要的模拟功能在处理器能够执行指令之前完全正常工作。这在上电、各种类型的复位以及任何原因所导致上述功能被关闭的情况下非常重要。由于振荡器和其它功能在掉电模式下关闭，因此将处理器从掉电模式中唤醒就要利用唤醒定时器。

唤醒定时器监视晶体振荡器是否可以安全地开始执行代码。当芯片上电时，或某些事件导致芯片退出掉电模式时，振荡器需要一定的时间以产生足够振幅的信号驱动时钟逻辑。时间的长度取决于许多因素，包括 V_{DD} 上升速度（上电时）、晶振的类型及电气特性（如果使用石英晶体）以及其它外部电路（例如：电容）和外部环境下振荡器自身的特性。

6.20.4 外部中断输入

根据可选管脚功能的设定，LPC2210/2220 最多可包含 9 个边沿或电平触发的外部中断输入。外部事件可作为 4 个独立的中断信号来处理。外部中断输入可用于将处理器从掉电状态唤醒。

6.20.5 存储器映射控制

存储器映射控制改变了从地址 0x0000 0000 开始的中断向量的映射。向量可以映射到外部存储器 BANK0 的底部，也可以映射到片内静态 RAM。这使得在不同存储器空间中运行的代码都能够对中断进行控制。

6.20.6 功率控制

LPC2210/2220 支持两种低功耗模式：空闲模式和掉电模式。

在空闲模式中，指令的执行被暂停，直到产生复位或中断为止。外围功能在空闲模式下继续工作并可产生中断唤醒处理器。空闲模式使处理器自身、存储器系统和相关的控制器以及内部总线不再消耗功率。

在掉电模式中，振荡器被关闭，芯片没有任何的内部时钟。处理器状态和寄存器、外设寄存器和内部 SRAM 的值在掉电模式下保持不变。芯片管脚的逻辑电平保持静态。通过复位或特定的不需要时钟继续工作的中断可终止掉电模式并恢复正常操作。由于芯片所有动态的操作都被暂停，掉电模式使芯片消耗的功率降低到几乎为零。

外设的功率控制特性允许关闭单独的不需要使用的外设，这样可进一步降低功耗。

6.20.7 VPB 总线

VPB 分频器决定处理器时钟(cclk)和外设时钟(pclk)之间的关系。VPB 分频器有两个用途。第一，VPB 分频器通过 VPB 总线为外设提供所需的时钟（PCLK），使外设可工作在 ARM 处理器选择的速率下。为了实现该功能，VPB 总线频率可以降低为处理器时钟频率的 1/2～1/4。由于 VPB 总线必须在上电时正确工作（如果 VPB 总线由于 VPB 分频器控制寄存器的原因而不工作，则它的时序不能改变），因此 VPB 总线在复位后的默认状态是以 1/4 的处理器时钟速率运行。VPB 分频器的第二个用途是当所有外设都不必在全速率下运行时降频以降低功耗。由于 VPB 分频器连接到 PLL 的输出，PLL（如果正在运行）在空闲模式时保持有效。

6.21 仿真和调试

LPC2210/2220 支持通过 JTAG 串行端口进行仿真和调试。跟踪端口允许跟踪程序的执行。调试和跟踪功能只在 GPIO 的 P1 口复用。这意味着当应用在嵌入式系统内运行时，位于 P0 口的所有通信、定时器和接口外设在开发和调试阶段都可用。

6.21.1 Embedded ICE

标准的 ARM EmbeddedICE 逻辑提供对片内调试的支持。对目标系统进行调试需要一个主机来运行调试软件和 EmbeddedICE 协议转换器。EmbeddedICE 协议转换器将远程调试协议命令转换成所需要的 JTAG 数据，从而对目标系统上的 ARM 内核进行访问。

ARM 内核有一个内置的调试通信通道功能。调试通信通道允许程序在目标系统上运行，即使进入调试状态，目标系统程序与主机调试器或其它独立的主机进行通信时也不会中断程序流程。ARM7TDMI-S 内核上运行的程序将调试通信通道作为协处理器 14 进行访问。调试通信通道允许 JTAG 端口发送和接收数据，但不影响正常的程序流程。调试通信通道数据和控制寄存器映射到 EmbeddedICE 逻辑中的地址。

6.21.2 嵌入式跟踪

由于 LPC2210/2220 带有大量的片内存储器，因此不能简单地通过观察外部管脚来确定处理器核是如何运行的。嵌入跟踪宏单元（ETM）对深嵌入处理器内核提供了实时跟踪能力。它向一个跟踪端口输出处理器执行的信息。

ETM 直接连接到 ARM 内核而不是主 AMBA 系统总线。它将跟踪信息压缩并通过一个窄带跟踪端口输出。外部跟踪端口分析仪在软件调试器的控制下捕获跟踪信息。指令跟踪(或 PC 跟踪)显示了处理器的执行流程并提供所有已执行指令的列表。指令跟踪被压缩为广播分支地址和一套用于指示流水线状态的状态信号。跟踪信息的产生可通过选择触发源进行控制。触发源包括地址比较器、计数器和序列发生器。由于跟踪信息被压缩，软件调试器需要一个执行代码的静态映像。由于这个限制，自修改代码无法被跟踪。

6.21.3 RealMonitor

RealMonitor 是一个可配置的软件模块，它由 ARM 公司开发，可以提供实时的调试。它是一个轻便的调试监控器，当用户对运行在前台的应用程序进行调试时，它运行在后台。它使用 DCC(调试通信通道)（EmbeddedICE 逻辑中包含了 DCC）与主机进行通信。LPC22102220/包含一个编程到片内 Flash 存储器中的特定 RealMonitor 软件。

7. 极限参数

表 10 极限参数

符合绝对最大额定系统（IEC 60134）标准。[1]

符号	参数	条件	最小	最大	单位
$V_{DD(1V8)}$	电源电压，内部线路		-0.5	+2.5	V
$V_{DD(3V3)}$	电源电压，外部线路		-0.5	+3.6	V
$V_{DDA(3V3)}$	模拟 3.3V 电源电压		-0.5	4.6	V
V_{IA}	A/D 端口模拟输入电压		-0.5	5.1	V
V_I	DC 输入电压，可承受 5V 的 I/O 口	[2], [3]	-0.5	6.0	V
	DC 输入电压，其它 I/O 口	[2]	-0.5	$V_{DD(3V3)}+0.5$[4]	V
I_{DD}	DC 电源电流，每个电源脚		—	100[5]	mA
I_{SS}	DC 地电流，每个地脚		—	100[5]	mA
Tstg	储存温度 [6]		-40	125	℃
$P_{tot(pack)}$	总功率损耗	封装的热传递，而非器件的功耗	—	1.5	W

1. 下面是关于极限参数的几点描述：
   a). 本产品带有保护器件的内部电路设计，避免超负荷造成器件的损坏。不过建议避免在超过最大值的情况下工作。
   b). 参数在操作温度范围内是有效的，除非另有规定。所有的电压都是相对 Vss 而言，除非另有说明。
2. 包含三态模式输出口的电压。
3. 只有在 $V_{DD(3V3)}$电源电压存在的情况下有效。
4. 不得超过 4.6V。
5. 峰值电流限制为对应最大值的 25 倍。
6. 取决于封装的类型。

8. 静态特性

表 11 静态特性

Ta=商业级：－40℃～+85℃，除非另有规定

符号	参数	测试条件	最小	典型 [1]	最大	单位
$V_{DD(1V8)}$	电源电压		1.65	1.8	1.95	V
$V_{DD(3V3)}$	外部线路电源电压		3.0	3.3	3.6	V
$V_{DDA(3V3)}$	模拟 3.3V 电源电压		2.5	3.3	3.6	V
标准端口管脚，$\overline{\text{RESET}}$, RTCK						
I_{IL}	低电平输入电流	V_I= 0；无上拉	—	—	3	μA
I_{IH}	高电平输入电流	V_I= $V_{DD(3V3)}$；无下拉	—	—	3	μA
I_{OZ}	三态输出漏电流	V_O = 0V; Vo=$V_{DD(3V3)}$ ；无上/下拉	—	—	3	μA
I_{latch}	I/O 闩锁电流	-(0.5 $V_{DD(3V3)}$) < V < (1.5 $V_{DD(3V3)}$) T_j <125℃	-	—	100	mA

续上表

符号	参数	测试条件	最小	典型 [1]	最大	单位
V_I	输入电压	[2], [3], [4]	0	—	5.5	V
V_O	输出电压	输出有效	0	—	$V_{DD(3V3)}$	V
V_{IH}	高电平输入电压		2.0	—	—	V
V_{IL}	低电平输入电压		—	—	0.8	V
V_{hys}	滞后电压		—	0.4	—	V
V_{OH}	高电平输出电压 [5]	I_{OH} = -4mA	$V_{DD(3V3)}$-0.4	—	—	V
V_{OL}	低电平输出电压 [5]	I_{OL} = -4mA	—	—	0.4	V
I_{OH}	高电平输出电流 [5]	$V_{OH} = V_{DD(3V3)}$-0.4V	-4	—	—	mA
I_{OL}	低电平输出电流 [5]	V_{OL} = 0.4V	4	—	—	mA
I_{OHS}	高电平短路电流 [6]	V_{OH} = 0V	-	—	-45	mA
I_{OLS}	低电平短路电流 [6]	$V_{OL} = V_{DD(3V3)}$	-	—	50	mA
I_{pd}	下拉电流	V_I = 5V [7]	10	50	150	μA
I_{PU}	上拉电流（施加到 P1[25:16])	V_I = 0V	-15	-50	-85	μA
		$V_{DD(3V3)} < V_I < 5V$ [7]	0	0	0	μA
I_{DD}	激活模式电源电流	$V_{DD(1V8)}$ =1.8V, T_{amb}=25℃， 代码：while(1){} 从片内 RAM 执行，无激活外设 CCLK=60MHz (LPC2210)	—	50	70	mA
		CCLK=75MHz (LPC2220)	—	50	70	mA
	掉电模式	$V_{DD(1V8)}$ =1.8V, T_{amb}=+25℃	—	10	—	μA
		$V_{DD(1V8)}$ =1.8V, T_{amb}=+85℃	—	110	500	μA
R_{PDB}	BOOT1:0 的下拉引导电阻，用来选择系统配置	空载数据线 D26 和/或 D27	—	10	—	kΩ
		D26 和/或 D27 用作外部存储器和/或存储器映射 I/O 口的数据线，附加的总耗散电流为 I_{Ikgt}	—	—	$\frac{0.7V}{70uA + I_{Ikgt}}$	Ω
I^2C 总线管脚						
V_{IH}	高电平输入电压		0.7 $V_{DD(3V3)}$	—	—	V
V_{IL}	低电平输入电压		—	—	0.3 $V_{DD(3V3)}$	V
V_{hys}	滞后电压		—	0.5 $V_{DD(3V3)}$	—	V
V_{OL}	低电平输出电压	I_{OLS} = 3mA [5]	—	—	0.4	V
I_{LI}	输入漏电流（到 V_{SS}）	$V_I = V_{DD(3V3)}$	—	2	4	μA
		V_I = 5V	—	10	22	μA
振荡器管脚						
V_{XTAL1}	XTAL1 输入电压		0	—	1.8	V
V_{XTAL2}	XTAL2 输出电压		0	—	1.8	V

注：

1. 不能保证得到典型的标称值。表中所列值为在室温（+25℃）和标称电压下测得。

2. 包括三态模式上输出的电压。
3. $V_{DD(3V3)}$电压必须存在。
4. 当 $V_{DD(3V3)}$接地时，三态输出进入三态模式。
5. 所有电源线都要将 100mV 的压降计算在内。
6. 只允许持续很短的时间。
7. V_I最小为 4.5V，最大为 5.5V。

表 12 A/D 转换器 DC 特性

除非另外规定，$V_{DDA(3V3)}$=2.5～3.6V； Tamb = -40℃～+85℃； A/D 转换器频率为 4.5MHz。

符号	参数	条件	最小	典型	最大	单位
V_{IA}	模拟输入电压		0		$V_{DDA(3V3)}$	V
C_{iss}	模拟输入电容		—		1	pF
E_D	微分非线性度	[1], [2], [3]	—		±1	LSB
$E_{L(adj)}$	积分非线性度	[1], [4]	—		±2	LSB
Eo	偏移误差	[1], [5]	—		±3	LSB
E_G	增益误差	[1] , [6]	—		±0.5	%
E_T	绝对误差	[1], [7]	—		±4	LSB

[1] 条件：V_{SSA}=0V，$V_{DDA(3V3)}$=3.3V。

[2] A/D 转换曲线呈单调变化，无代码丢失。

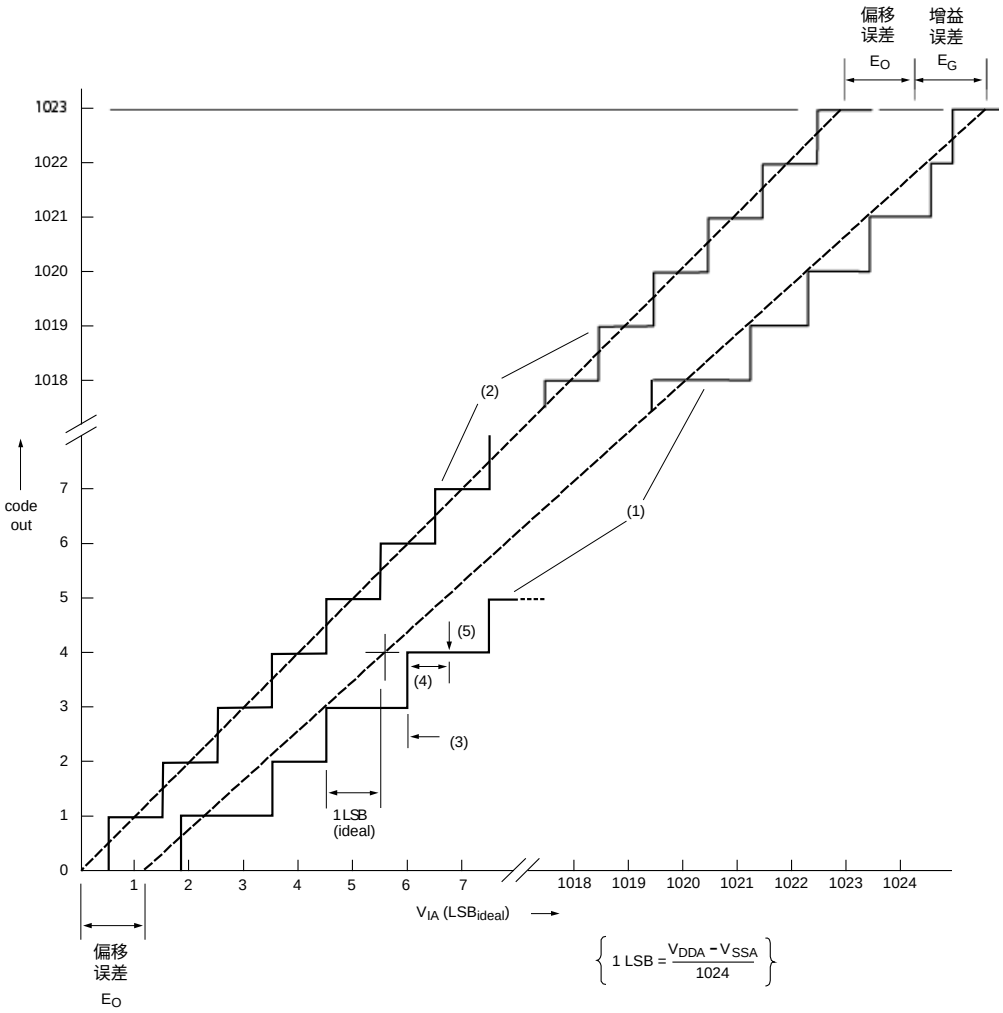
[3] 微分非线性（E_D）是指实际步距长度与理想步距长度的差异。见图 5。

[4] 积分非线性（EL(adj)）是指实际转换曲线步距中点和增益和偏移误差经适当调节后所得理想转换曲线的峰值的差异。见图 5。

[5] 偏移误差（Eo）是实际转换曲线所得直线与理想转换曲线所得直线的绝对误差。见图 5。

[6] 增益误差（E_G）是指消除偏移误差后实际转换曲线所得直线与理想转换曲线所得直线之间的相对误差，用百分数表示。见图 5。

[7] 绝对电压误差（E_T）是指未经校准的 A/D 转换实际转换曲线的步距中心与理想曲线的最大偏差。见图 5。



（1）实际传输曲线

（2）理想传输曲线

（3）微分非线性（E_D）

（4）积分非线性（E_L(adj)）

（5） 实际传输曲线的步距中心

图 5 A/D 转换特性

9. 动态特性

表 13 动态特性

Tamb=商业级：0℃～+70℃；工业级：－40℃～+85℃；$V_{DD(1V8)}$和 $V_{DD(3V3)}$处于规格范围内 [1]。

符号	参数	测试条件	MIN	TYP [1]	MAX	单位
外部时钟						
fosc	振荡频率，由外部振荡器提供（信号发生器）		1	-	50	MHz
	外部时钟频率，由外部晶振提供		1	-	30	MHz
	如果片内 PLL 被使用，fosc 为外部时钟频率		10	-	25	MHz
	如果通过引导装载程序来下载初始化代码，fosc 为外部时钟频率		10	-	25	MHz
Tclk	时钟周期		20	－	1000	ns
t_{CHCX}	时钟高电平时间		Tclk×0.4	－	－	ns
t_{CLCX}	时钟低电平时间		Tclk×0.4	－	－	ns
t_{CLCH}	时钟上升时间		－	－	5	ns
t_{CHCL}	时钟下降时间		－	－	5	ns
端口管脚 (P0.2, P0.3 除外)						
t_r	上升时间		－	10	－	ns
t_f	下降时间		－	10	－	ns
I^2C 管脚 (P0.2, P0.3)						
t_f	下降时间	V_{IH}到 V_{IL} [2]	20 + 0.1×C_b	－	－	ns

注：

1. 如果没有另外定义，这些参数在操作温度范围内有效。
2. 总线电容 Cb 范围为 10pF~400pF。

表 14 外部存储器接口动态特性（C_L=25pF，Tamb＝40℃）

符号	参数	Min	Max	单位
读、写周期均适用				
t_{CHAVR}	XCLK 高到地址有效	-	10	ns
t_{CHCSL}	XCLK 高到 CS 低	-	10	ns
t_{CHCSH}	XCLK 高到 CS 高	-	10	ns
t_{CHANV}	XCLK 高到地址无效	-	10	ns
读周期参数				
t_{CSLAV}	CS 低到地址有效	[1] -5	10	ns
t_{OELAVR}	OE 低到地址有效	[1] -5	10	ns
t_{CSLOEL}	CS 低到 OE 低	-5	5	ns

续上表

符号	参数	Min	Max	单位
读周期参数				
t_{AVDV}	存储器访问时序（最新地址有效，CS 为低，OE 低到数据有效）	Tcclk×(2+WST1)+(-20)	-	ns
	突发 ROM 存储器初始访问时序（最新地址有效，CS 为低，OE 低到数据有效）	Tcclk×(2+WST1)+(-20)	-	ns
	突发 ROM 存储器连续访问时序（地址有效到数据有效）	Tcclk +(-20)	-	ns
t_{STHDNV}	数据保持时间（CS 最初为高，OE 为高，地址改变到数据无效）	0	-	ns
t_{CSHOEH}	CS 高到 OE 高	-5	5	ns
t_{OEHANV}	OE 高到地址无效	-5	5	ns
t_{CHOEL}	XCLK 高到 OE 低	-5	5	ns
t_{CHOEH}	XCLK 高到 OE 高	-5	5	ns
写周期参数				
t_{AVCSLW}	地址有效到 CS 低	[1] Tcclk－10	-	ns
t_{CSLDVW}	CS 低到数据有效	-5	5	ns
t_{CSLWEL}	CS 低到 WE 低	-5	5	ns
$t_{CSLBLSL}$	CS 低到 BLS 低	-5	5	ns
t_{WELDV}	WE 低到数据有效	-5	5	ns
t_{CSLDV}	CS 低到数据有效	-5	5	ns
t_{WELWEH}	WE 低到 WE 高	Tcclk×(1+WST2)-5	Tcclk×(1+WST2)+5	ns
t_{WELWEH}	BLS 低到 BLS 高	Tcclk×(1+WST2)-5	Tcclk×(1+WST2)+5	ns
t_{WEHANV}	WE 高到地址无效	Tcclk－5	Tcclk+5	ns
t_{WEHDNV}	WE 高到数据无效	(2×Tcclk)-5	(2×Tcclk)+5	ns
$t_{BLSHANV}$	BLS 高到地址无效	Tcclk－5	Tcclk+5	ns
$t_{BLSHDNV}$	BLS 高到数据无效	(2×Tcclk)-5	(2×Tcclk)+5	ns
t_{CHDV}	XCLK 高到数据有效	-	10	ns
t_{CHWEL}	XCLK 高到 WE 低	-	10	ns
$t_{CHHBLSL}$	XCLK 高到 BLS 低	-	10	ns
t_{CHWEH}	XCLK 高到 WE 高	-	10	ns
t_{CHBLSH}	XCLK 高到 BLS 高	-	10	ns
T_{CHDNV}	XCLK 高到数据无效	-	10	ns

[1] 初始访问除外，初始访问时地址在 Tcclk 有效之前建立。

表 15 标准读访问说明

访问周期	最大频率	WST 设定 WST≥0；四舍五入为整数	存储器访问时间
标准读	$f_{MAX} \le \frac{2+WST1}{t_{RAM}+20ns}$	$WST1 \ge \frac{t_{RAM}+20ns}{t_{CYC}} - 2$	$t_{RAM} \le t_{CYC} \times (2+WST1) - 20ns$
标准写	$f_{MAX} \le \frac{1+WST2}{t_{WRITE}+5ns}$	$WST2 \ge \frac{t_{WRITE} - t_{CYC} + 5}{t_{CYC}}$	$t_{WRITE} \le t_{CYC} \times (1+WST2) - 5ns$
突发读－初始读	$f_{MAX} \le \frac{2+WST1}{t_{INIT}+20ns}$	$WST1 \ge \frac{t_{INIT}+20ns}{t_{CYC}} - 2$	$t_{INIT} \le t_{CYC} \times (2+WST1) - 20ns$
突发读－连续读	$f_{MAX} \le \frac{1}{t_{ROM}+20ns}$	N/A	$t_{ROM} \le t_{CYC} - 20ns$

9.1 时序

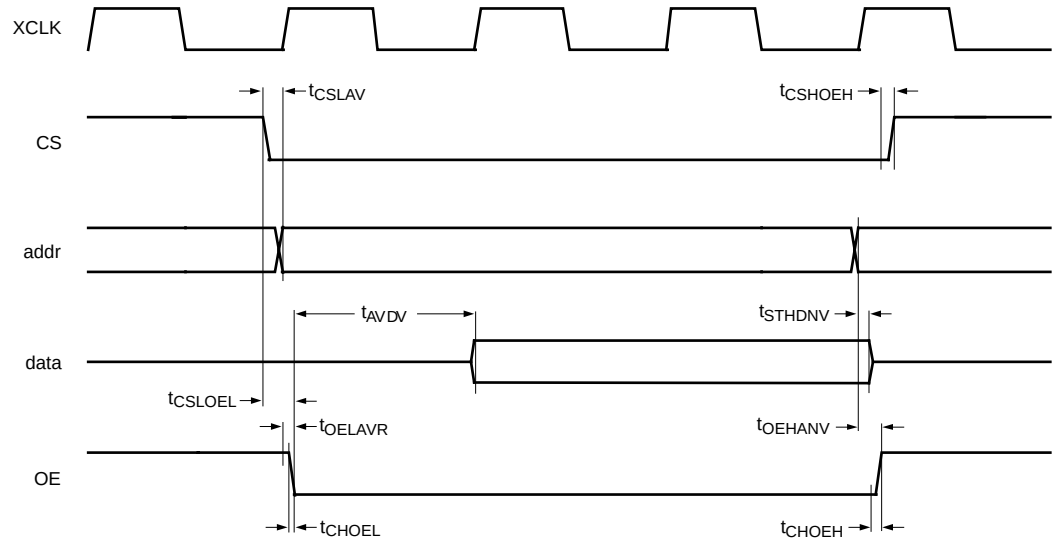


图 6 外部存储器读访问

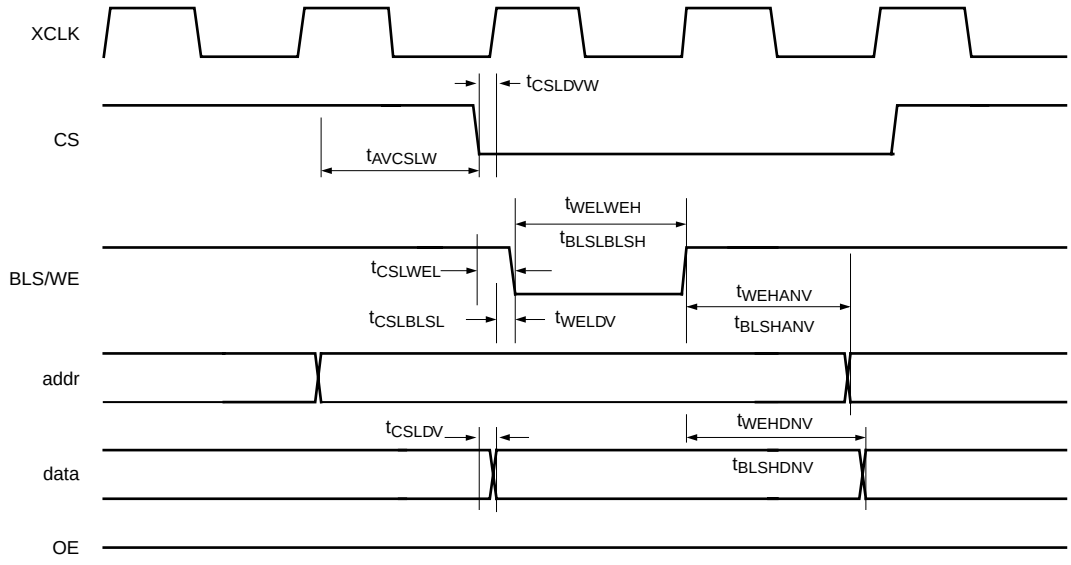


图 7 外部存储器写访问

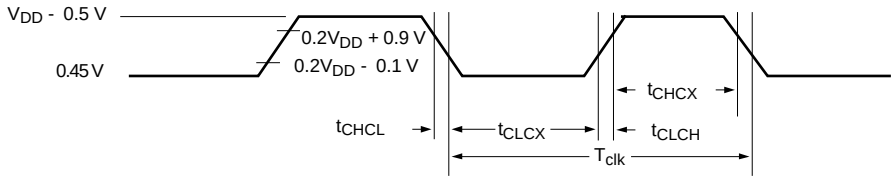
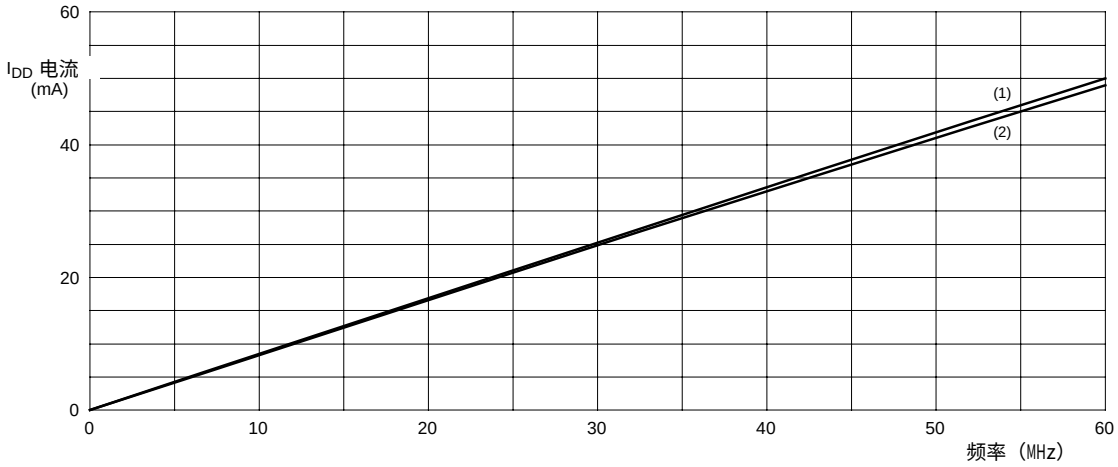


图 8 外部时钟时序

9.2 LPC2210 功耗测量

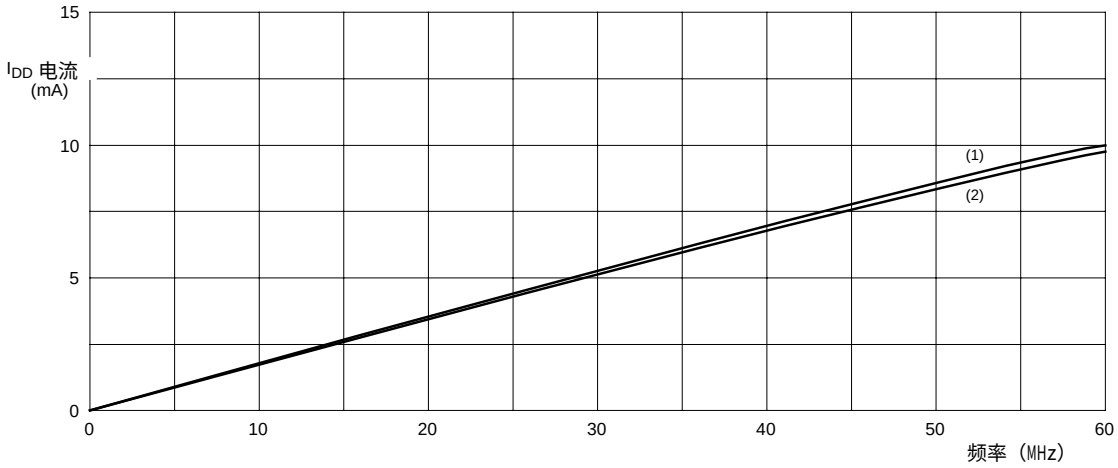


测试条件：代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能；PCLK=CCLK/4。

（1）25℃（典型值）下为 1.8V

（2）25℃（典型值）下为 1.65V

图 9 LPC2210 在不同频率(CCLK)和温度下 $I_{DD(1V8)}$的有效测量



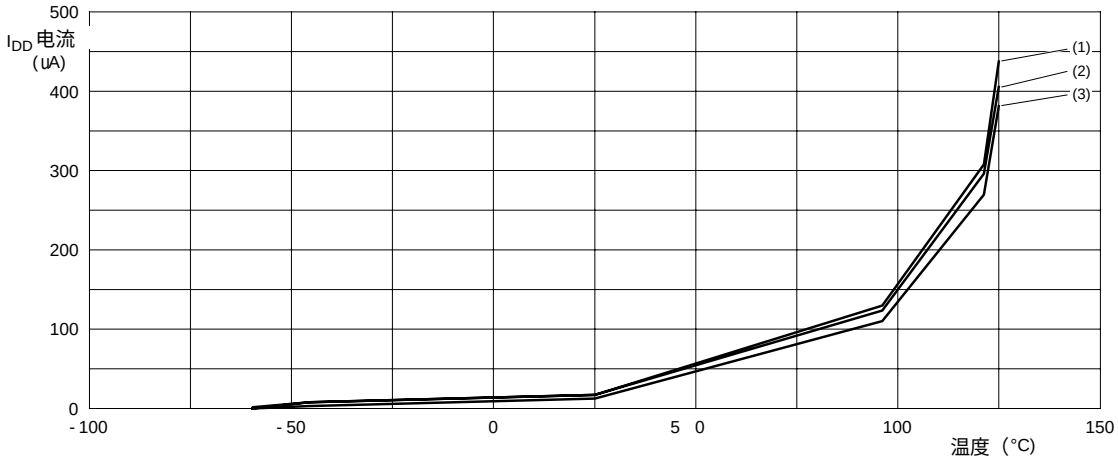
测试条件：进入空闲模式，代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能；

PCLK=CCLK/4。

（1）25℃（典型值）下为 1.8V

（2）25℃（典型值）下为 1.65V

图 10 LPC2210 在不同频率(CCLK)和温度下 $I_{DD(1V8)}$的空闲测量



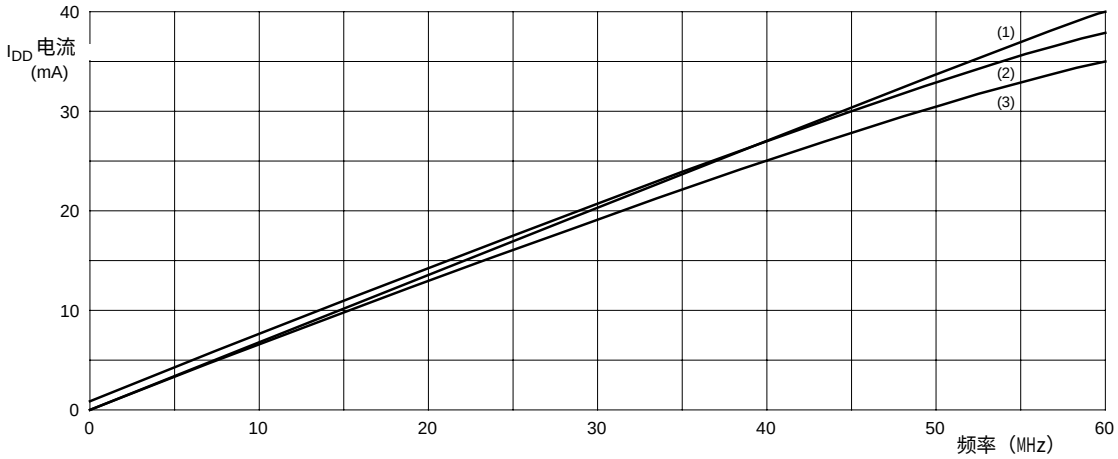
测试条件：进入掉电模式，代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能。

（1）1.95V

（2）1.8V

（3）1.65V

图 11 LPC2210 在不同温度下 $I_{DD(1V8)}$的掉电测量



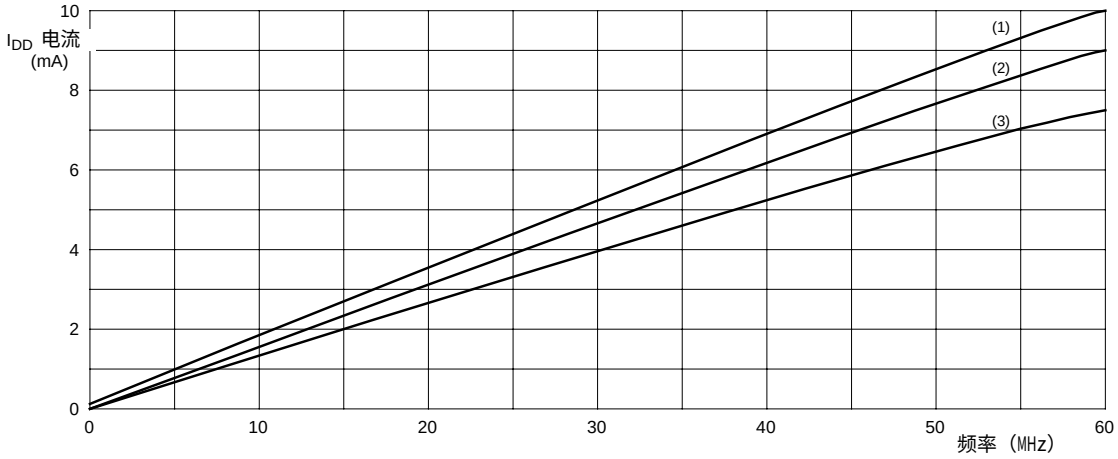
测试条件：代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能；PCLK=CCLK/4。

（1）85℃（典型值）下为 1.8V

（2）25℃（典型值）下为 1.8V

（3）25℃（典型值）下为 1.65V

图 12 LPC2220 在不同频率(CCLK)和温度下 $I_{DD(1V8)}$的有效测量



测试条件：进入空闲模式，代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能；

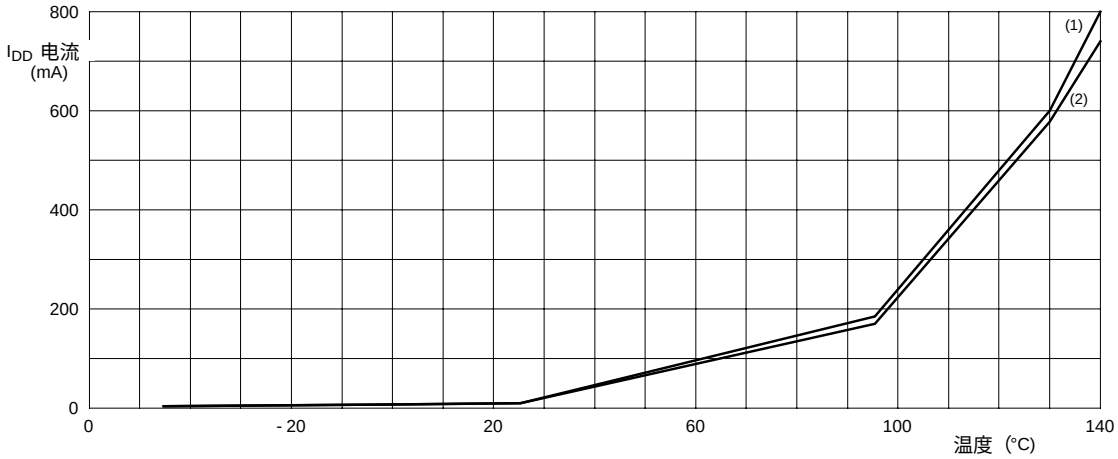
PCLK=CCLK/4。

（1）85℃（典型值）下为 1.8V

（2）25℃（典型值）下为 1.8V

（3）25℃（典型值）下为 1.65V

图 13 LPC2220 在不同频率(CCLK)和温度下 $I_{DD(1V8)}$的空闲测量



测试条件：进入掉电模式，代码从片内 RAM 执行；所有外设在 PCONP 寄存器中使能。

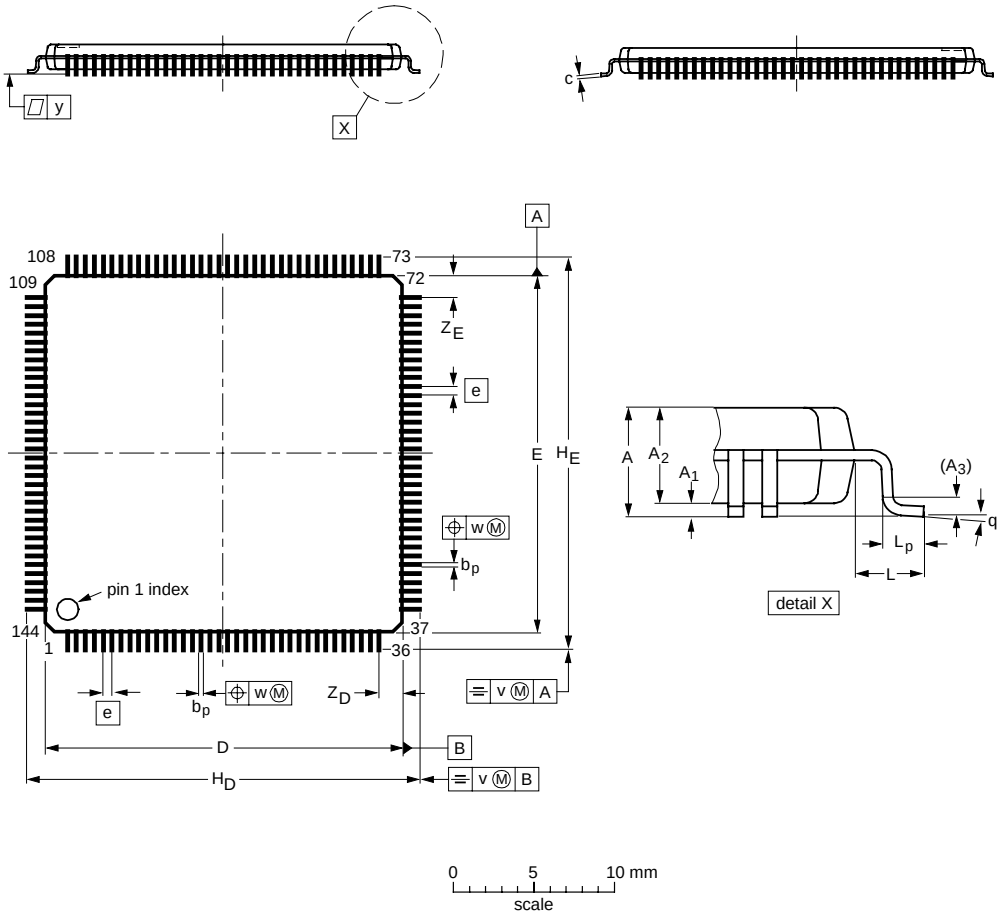
（1）1.8V（典型值）

（2）1.65V（典型值）

图 14 LPC2220 在不同温度下 $I_{DD(1V8)}$的掉电测量

10. 封装

LQFP144 封装：144 脚；本体 20×20×1.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_D	H_E	L	L_p	v	w	y	$Z_D^{(1)}$	$Z_E^{(1)}$	q
mm	1.6	0.15 0.05	1.45 1.35	0.25	0.27 0.17	0.20 0.09	20.1 19.9	20.1 19.9	0.5	22.15 21.85	22.15 21.85	1	0.75 0.45	0.2	0.08	0.08	1.4 1.1	1.4 1.1	7^o 0^o

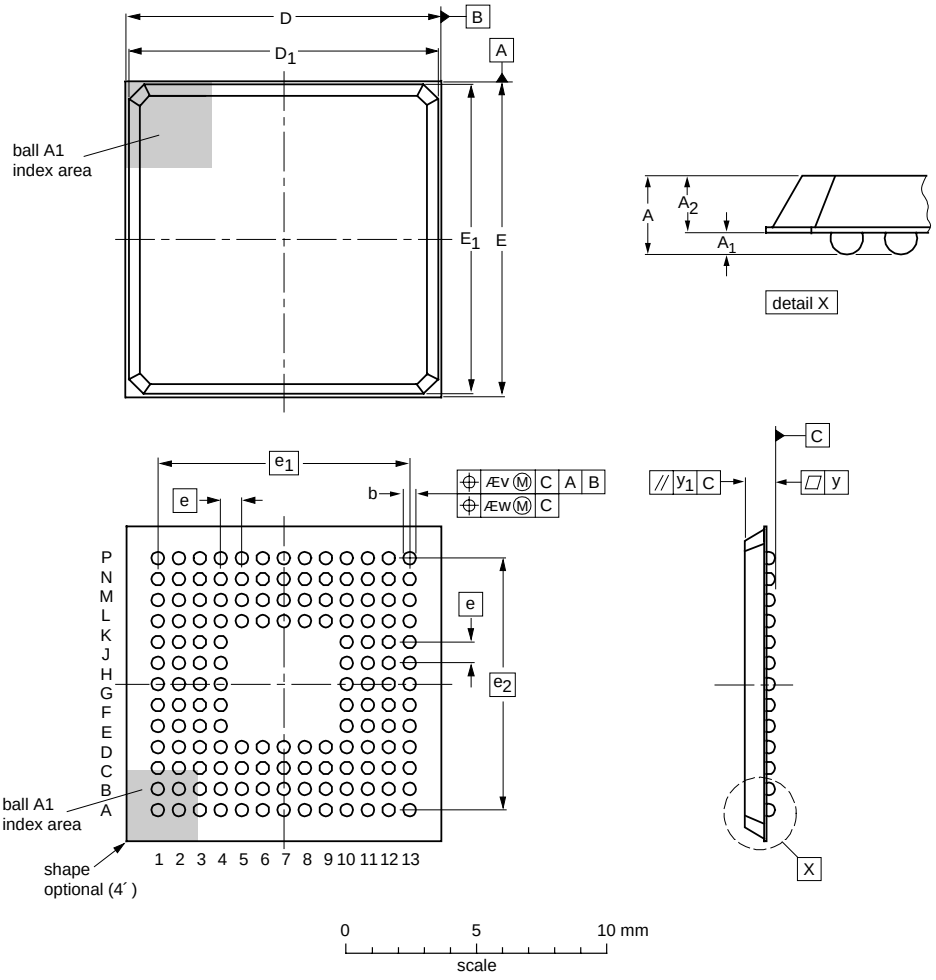
Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT486-1	136E23	MS-026				~~00-03-14~~ 03-02-20

图 15 SOT486-1 (LQFP144)表面封装

TFBGA144 封装：144 脚；本体 12×12×0.8mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	b	D	D_1	E	E_1	e	e_1	e_2	v	w	y	y_1
mm	1.2	0.36 0.24	0.84 0.74	0.53 0.43	12.2 11.8	11.9 11.7	12.2 11.8	11.9 11.7	0.8	9.6	9.6	0.15	0.08	0.1	0.1

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT569-1		MO-216				~~03-03-03~~ 03-07-09

图 16 SOT569-1 (TFBGA144)表面封装

11. 缩写词

表 16 首字母缩写表

缩写	描述
ADC	模数转换器
CPU	中央处理单元
FIFO	先入先出
GPIO	通用输入/输出
PWM	脉宽调节器
RAM	随机存取存储器
SPI	串行外围接口
SSI	串行同步接口
SRAM	静态随机存取存储器
UART	通用异步接收器/发送器
VPB	VLSI 外围总线

12. 修改记录

表 17 修改记录

文档 ID	发布日期	数据手册状态	更改通知	版本号	取代
LPC2210_2220_2	20050530	器件数据手册		9397 750 14061	LPC2210_01
修改：	● 本数据手册的格式遵循 Philips 半导体的新产品和信息标准重新设计。 ● 增加新的器件 LPC2220FET144 和 LPC2220FBD144。 ● 6.20.2 节：更新 ● 6.20.7 节：更新 ● 表 11 “ 静态特性 ”：调整的 I_{DD} 典型值				
LPC2210_01	20040209	最初数据手册		9397 750 12872	—

红笔部分是本数据手册与第一版数据手册的不同之处。